



線形集積回路—電子回路 からみたりニヤ集積回路

滑 川 敏 彦

集積回路（略称 IC）は御承知のように、エレクトロニクス工業界における、真空管、トランジスタに次ぐ第3の技術革新と呼ばれるもので、これの電子装置への導入によって、エレクトロニクスだけではなくてその関連産業にも大きな変化と進歩を与えるであろうと期待されているところの、新しい一つのデバイスである。デバイスというより一つまたはいくつかの電子回路としての機能を持つものである。

ここでは集積回路を電子回路の立場から眺めて、その概要を述べ、私の所属している研究室におけるこの分野へのアプローチについてふれていくことにしたい。したがって、ここでの内容はリサーチハイライトといえるかどうか若干離れたような記述内容になるかも知れないけれどもごかんべん願うことにしたい。

1. 集積回路

まず順序として、集積回路の概要についてその現在の段階での姿ならびに特長について述べることにする。

(a) 分類と動向

電子装置における電子回路の構成規模が次第に大きくなり、高度複雑になるにしたがってその構成部分の超小型化と高信頼性能とが要求されるようになって来た。

図1はこの方向に対して発展して来た超小型電子回路

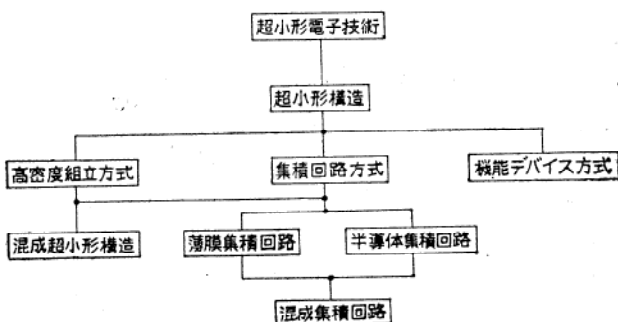


図1 超小型電子技術の分類

技術の段階的な分類を示すものである。現在の時点ではこの図表のなかで、半導体集積回路が主役を演じていて、量産によるコストダウンの可能性は、個別部品の集合である在来の回路形式のものをしのぐことが明らかとなったので急激に脚光を浴びることになったのである。

ただし、半導体集積回路においては、広い意味での構成回路素子の定数の値そのものの制限と、その精度に対する制限とからすると、受動素子としては薄膜集積回路がより優れている。そこでこの両者を併用した混成集積回路が実際には多く使われて来ている。

集積回路はその電子回路的な機能からデジタル回路（ならびにパルス回路というべきであろうが習慣上一括して呼ばれている。）とリニヤ回路（線形回路を通称するという。）とに大別される。

デジタル回路については、もともと電子回路としては簡単な on off 機能を基調とするものであるから、集積回路としての回路形式も大体において固まってきたようなのでここでは述べない。このなかで MOS 集積回路についてはまだいろいろな意味での問題点が残っているといえよう。

リニヤ回路については、もともと高度で複雑多岐な性能が要求されて来たものだけにまだデジタル回路のような標準回路構成の方向に対してのはっきりした路線はみられない。ここに回路設計上、いろいろな問題点が生じるわけで、その解決は今後にまたれている面が多い。

(b) 構造と特長

半導体集積回路はシリコンを基板とするもので、薄膜半導体集積回路はガラスまたはセラミックを基板とするものであるが、いまこれについてその材料製法については説明を省く。ここでは一例として半導体集積回路の上に薄膜回路を蒸着した一種の混成集積回路のごく一小部分の断面を図2に示すにとめておく。

現在のスタンダード的な半導体集積回路は 1.2mm 平方厚さ 0.1mm の大きさのシリコン基板上にトランジスタ・ダイオード抵抗・容量からなるそれぞれの回路構成素子が数個ずつ合計して 30~100個程度配線とともに集積されたものが一つのチップになっている単体構造である。これらのチップを一個または数個を一つのパッケージに収納して、リードを外付けし適当な他の個別部品とともに実装配線して、電子回路としてのサブシステムまたはシステムが構成される。

なお、半導体集積回路の製造は従来のトランジスタとくにプレーナトランジスタの製造方法を発展させたもの

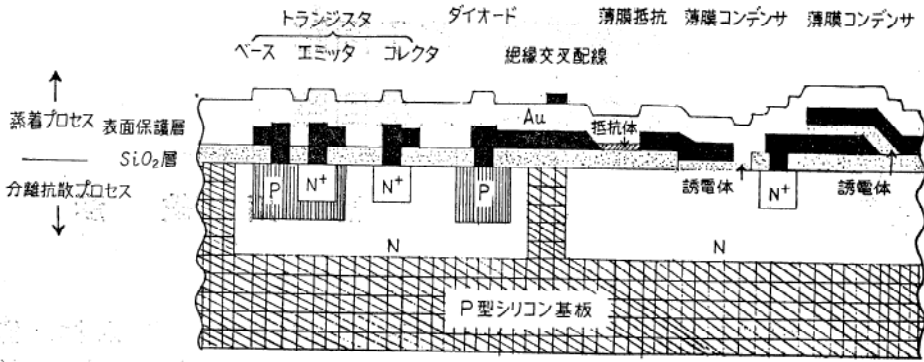


図2 混成集積回路構造の一部分の断面図

であると考えてもよい。個別トランジスタの場合是一個づつ機械的に切断されていたのであるが、集積回路においてはこれらの同一工程で同一マスクによって作られた多くのトランジスタ・ダイオード・抵抗などの素子はその同一基板内で、互に電気的に分離されていなければならない。

この素子間の分離法はこれによって、電子回路としての構成に制限を受ける要素を含んでいる重要な点である。

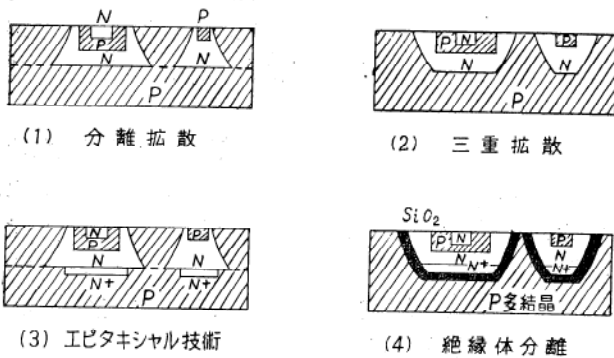


図3 各種分離方法の構造原理図

図3に現在使用されている分離法についての原理を示す断面図をあげておいた。このなかで、最も多く使用されているのはダイオード分離法である。

しかしながら、集積回路に関連した研究は広い範囲において急速に発展しつつある現状であるから、すべての点においてここで述べたことからは、あくまで現時点での話であることをもう一度お断りして置く。

2. 線形集積回路

線形集積回路は簡単にいえば、リニア増幅を主な機能とする集積回路である。集積回路は従来の個別部品を使って回路を構成する場合と異なり、素子と配線の大部分が寄生素子を含む一つのチップ上に集積されたものであるということと、その製造法、材料などの考慮もあり、電子回路として設計に対する考え方を変えなければなら

い。と同時にまた集積回路に適した回路を工夫することによって、その特長を活かす可能性が非常に上げられることになる。

線形集積回路の応用面からみたとときの構成の方法規模はリニア集積回路の場合つぎのような3種の方向づけが考えられる。

- (イ) 多目的集積回路
- (ロ) 汎用集積回路
- (ハ) 総合機能集積回路

このなかで(ハ)は筆者が仮りに名付けたものであるがリニア回路においても、デジタル回路におけると同様に、できるだけ多くの機能を製造面をも考慮しながら同一チップ上に集積しようとするまとめかたである。

用途目的別ではリニア集積回路はつぎのような分類にして発表されている。演算増幅器、差動増幅器、カスコード増幅器、映像増幅器、直流増幅器、広帯域増幅器、安定化電源回路などである。

ここで電子回路としての線形集積回路の機能のなから、それぞれを別個に議論する諸問題に共通なまとまった性能を抽出して、これについての研究がなされなければならない。

基本的な性能または性能指数はつぎのような項目である。

- (イ) 電力利得
- (ロ) 雑音指数
- (ハ) 上限周波数
- (ニ) 安定係数

このような項目に対する性能指数は個別トランジスタに対しても研究されて来たが、電子回路自体の構成を含む、より一般的な立場からの研究が、集積回路に対して必要であり切実な問題となる。

上記以外の点についても、温度特性からのドリフト、素子値の変動に対するまたはバラツキに対する機能の安定化(感度)などは実際の回路設計に当って重要な点になる。素子値のバラツキ、変動はとくに半導体集積回路では大きくなるからである。

なお帰還の問題も寄生素子とからんで改めて重要な設計上の問題を提示する。

半導体集積回路の現状では容量Cに制限を受け、インダクタンスLについては絶望的である。(外付けになる。) この制限を回路設計上から解決するのも一つの大切な方向である。

以下においてはこれら線形集積回路における諸問題のなかで、増幅の基本的機能とインダクタンスの構成法に

ついてとりあげてその研究内容にふれることにする。

3. 増幅機能についての基本解析

能動素子を含むリニヤ線形回路の基本的性能は利得と雑音指数である。集積回路のような低レベル段ではとくにそのように考えなければならない。

集積回路を線形能動回路網としてみると、与えられた線形能動回路には固有の利得および雑音性能指数が存在し、これらが動作の限界を決めるとともに設計上の要素になる。以下にその概要を述べることにする。

いま、電力利得を一つの一般的な定義である可換電力利得 G_e であらわし、雑音性能指数を可換雑音測度 M_e を用いてあらわすことにする。するとこの場合、この二つの基本的性能指数は同一形式の固有値問題に帰着せしめることができる。

いまリニヤ集積回路を一般的に図4のような構成であらわすことにする。電源インピーダンス Z_s と負荷インピーダンス Z_L とに接続された線形能動回路がリニヤ集積回路をあらわしているのであるが、この場合普通の二端子対表示とは異なり、Fパラメータで記述される能動

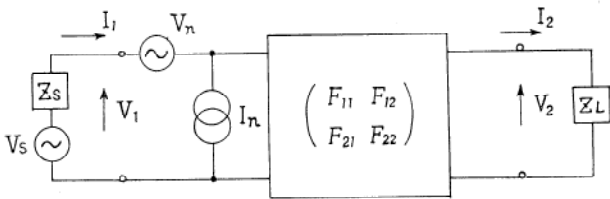


図4 能動二端子対リニヤ回路の一般的表示

回路とその入力側に換算された二つの内部雑音電源 V_n と I_n とを含んでいる。

この図4のような一般的表示においてはつぎのような関係式が成立する。

$$\begin{pmatrix} V_1 \\ I_1 \end{pmatrix} = \mathbf{F} \begin{pmatrix} V_2 \\ I_2 \end{pmatrix} + \begin{pmatrix} V_n \\ I_n \end{pmatrix}$$

また $\begin{pmatrix} C \\ CZ_s^* \end{pmatrix} \equiv \begin{pmatrix} y_1 \\ y_2 \end{pmatrix} \equiv \mathbf{y}$ C は任意常数

とすると、電源についての関係式は

$$\mathbf{y}^\dagger \begin{pmatrix} V_1 \\ I_1 \end{pmatrix} = C V_s$$

となる。ここで*は共役複素数、†は共役転置マトリクスを示す符号で、ゴジックはマトリクスを示すものとする。

可換電力 P_e (有能電力でも同一形式である。) をこの記号であらわすと

$$P_e = \frac{(C V_s)^2}{2(\mathbf{y}^\dagger \mathbf{g} \mathbf{y})}$$

となる。ここで \mathbf{g} は交換マトリクスである。

これらの式から少し計算をすると、つぎのような結果が得られる。

可換電力利得 (有能電力利得でも同じである。) につ

いては

$$G_e = \frac{\mathbf{y}^\dagger \mathbf{P} \mathbf{y}}{\mathbf{y}^\dagger \mathbf{F} \mathbf{F}^\dagger \mathbf{y}}$$

となり、可換雑音測度については、(有能雑音測度または単に雑音測度でも同じ形である。)

$$M_e = \frac{\mathbf{y}^\dagger \overline{\delta \delta}^\dagger \mathbf{y}}{\mathbf{y}^\dagger (\mathbf{P} - \mathbf{F} \mathbf{F}^\dagger) \mathbf{y}} \cdot \frac{1}{2kT\Delta f}$$

となる。ここで k はボルツマン定数、 T は絶対温度、 Δf は帯域幅で、

$$\overline{\delta \delta}^\dagger \equiv \begin{pmatrix} V_n \\ I_n \end{pmatrix}$$

である。

ここで通常よく使われている雑音指数 NF との関係はつぎの式になる。

$$M_e = \frac{NF-1}{1-1/G_e}$$

リニヤ回路の出力インピーダンスの実数部が正で、 G_e が1以上あれば、同じ構造のものを数多くカスケード接続して反復構成する場合には、 M_e を最適値に保ったまま利得をかなり大きくすることができる。このことは集積回路の設計上考慮に入れなければならない大事なことである。能動回路の電力利得が大きくなると M_e は $(NF-1)$ に近づく。実際、利得が10dB以上あればこの両者は等しいとみて差支えない。この過剰雑音指数 $(NF-1)$ は次式で与えられる。

$$(NF-1) = \frac{\mathbf{y}^\dagger \overline{\mathbf{g} \mathbf{g}^\dagger} \mathbf{y}}{\mathbf{y}^\dagger \mathbf{P} \mathbf{y}} \cdot \frac{1}{2kT\Delta f}$$

ここで上に得られた電力利得、雑音測度ならびに雑音無数についてその形をみるといずれもエルミット形式の比で与えられている。エルミット形式の比の極値はもし存在するとすればそれは特性行列の固有値で与えられる。そのときの固有ベクトル \mathbf{y} の要素の比がその条件を成立させる。

電源インピーダンスをあらわしている。電力利得にしても、雑音性能指数にしてもそのリニヤ回路として最良値は上に得た各式の特性行列から得られ、電源インピーダンスの最適値を導き出すことができることが明らかになった。特性行列が特異になる場合には別の直接解法で簡単に性能指数とその実現のために必要な電源インピーダンス Z_s をみつけ出すことができる。

これらの詳細な計算内容については、ここでは一応略することにするが、いずれにしてもFパラメータだけではなく、ほかの回路パラメータ形式である Z, Y, R, H などのどのパラメータを使うときでも結局の解析、設計の手法形式は上に述べたことと一致する。

性能指数についていえば、たとえば利得特性行列が特異になるのはリニヤ回路が一方向性の場合であり、

$\det \mathbf{F} = 0$ の条件で得られる極値は Mason 氏の与えて

いる一方方向性利得と一致することも容易にわかる。一方方向性利得UはFパラメータを使うときは

$$V = \frac{|1 - \det \mathbf{F}|}{R_e (d - 2 \det \mathbf{F})}$$

であらわされる。ここで \det は行列式, R_e は実数部を $d \equiv 2 (F_{11} F_{22}^* + F_{12} F_{21}^*)$ である。

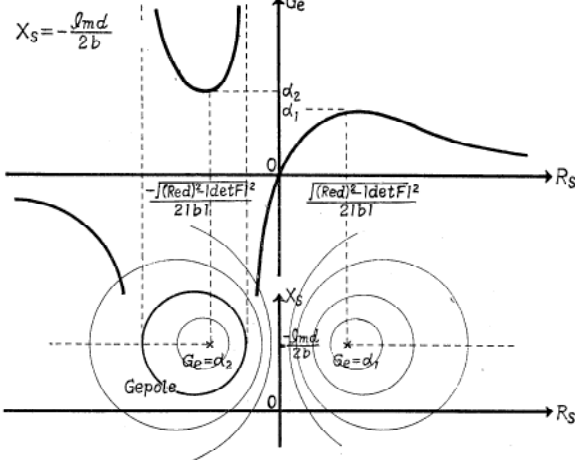
これらの考え方から導かれる解析または設計の具体的な結果とか内容については、ここではふれないけれども、電源インピーダンス $Z_s = R_s + jX_s$ 。面上での等電力円線図の1例を図5に示しておく。(a)は双方向性、(b)は一方方向性リネヤ回路の特性を示す。

4. インダクタンスのない回路構成

集積回路のなかにインダクタンスを設置することは困難な問題である。マイクロ波集積回路であれば、薄膜構成のストリップ線路を集積回路の一部として用いる有利さを生じるけれども、UHF 以下の周波数帯で有効なだけのインダクタンスは得られない。

このような、インダクタンスを用いないで、フィルタのような回路機能を構成する方法としてはつぎのような4つの方向が考えられる。

(a) $|\operatorname{Re} d| > |\det F| \neq 0$



(b) $\det F = 0, \operatorname{Re} d > 0 \quad b \equiv \operatorname{Re} F_{21} F_{22}^*$

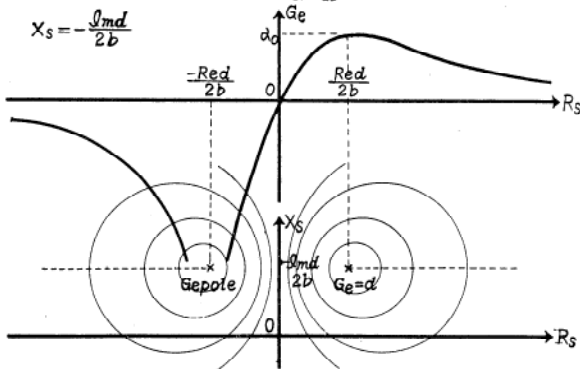


図5 等電力利得円線図

(a) CR と能動素子による構成

従来からよく知られた手法である。たとえばリネヤ増幅回路に施された帰還回路にCR構成のノッチフィルタを使う。並列T、橋絡T形などが用いられるが、フィルタ特性を得るに必要なだけのQを高くとることと、回路定数の僅少な変化に対して特性が変化しないという安定度とが両立しないので現在のところでは集積回路、とくに半導体集積回路としては利用性はすくない。他の形の構成法についても一長一短である。

(b) 電気音響素子の機械共振の利用

水晶のようなピエゾ共振子を高速振動素子として利用するフィルタ構成は広く使用されているけれども、集積回路としてはそのままでは使えない。最近ベル電話研究所から発表されたFETのゲートが機械振動子として動作する集積回路があるけれども、その使用範囲は制限されてしまうであろう。超音波増幅素子は未知数である。

(c) 半導体の電圧電流特性

半導体内のキャリアの拡散速度は比較的遅いので、その遅れによる電圧電流特性の位相遅れを利用するという原理のものであるから、集積回路に好適なようであるけれどもQの低いことが致命的な欠点である。

(d) サンプリング フィルタ

線形のサンプリングフィルタは一つまたはいくつかの変調回路(断続回路)を持ち、一つまたはいくつかの並列回路からなる1種の時間変化回路は限られた周波数帯域内ではリネヤな伝達関数を持ち、サンプリングフィルタとなる。この回路は(a)のような構成における不安定性は実質的になくすることができる回路構成になる。しかし、この回路構成法は一般に構成素子の数が多く回路的に複雑になる。しかしまた一方このような事態は集積回路としてはむしろ解決しやすい点であるので将来の有望な方向であると考えられる。

このサンプリングフィルタとして有名なのはSandberg氏らによって考案されたNパスフィルタである。Nパスフィルタは周波数領域の移動を、サンプリング周波数を変えることによって可能ならしめることができるもので、レスポレスの決定にはCR回路を用いている。

簡単な断続と蓄積機能とだけでも楕円フィルタが得られるが、これは信号処理の意味で面白い性質を持っているが利用範囲はそう広くない。

ここではつぎのような新しい形の回路構成を考える。いま所要の特性を持つ回路を考えたとき、その回路のインパルス応答をサンプルした重み発生回路を用いることにより、重ねの原理を使って任意波形入力に対する所要出力を合成する方式のサンプリングフィルタである。この骨子を示すとつぎのようになる。

入力波形のサンプル間隔を U としたとき、出力 $V_o(t)$ と入力 $V_i(t)$ との関係は

$$V_o(nu) = \sum_{m=-\infty}^{\infty} h(nu - mu) V_i(mu)$$

となる、ここで $h(nu - mu)$ は mu なる時刻のパルス入力に対する nu なる時点での回路の応答を示す関数であって、このような関数をあらかじめ設定された重み係数列として構成し、入力に応じて上式のように適宜加えて行くようなサンプリング フィルタである。

これについての解析はこれ以上立入らないけれども、回路の素子数は非常に多くなるけれども設計は非常に容易でとくに波形伝送の立場からは直観的とすらいえる方法でありもちろんインダクタンスを用いる必要はなく、素子精度もそれほど必要でないというような特長があるので、LSI (大規模集積回路方式) 時代が何年か先に到達されたときには筆者の提案したこの方式が回路構成の実現法として有利になるものと思われる。

ただしこの方法にもインパルス応答の時間幅が制限を受けるという欠点がある。しかしフィルタの種類によってはこれが制約にならない場合もある。そのような場合の1例として整合フィルタを取り上げて試作したものの入出力波形を図6に示す。これは線形 FM パルス入力に対する整合フィルタであって、中心周波数 100 kHz 、

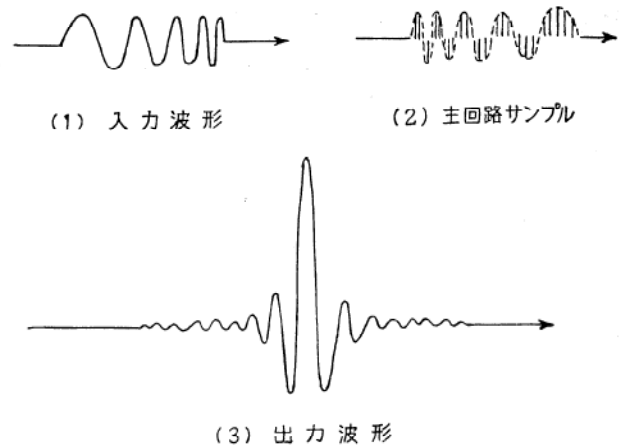


図6 線形 FM 波パルスに対するサンプリング整合フィルタの波形

パルス幅 $100 \mu\text{s}$ の入力波形に対してサンプリング周波数 380 kHz で設計した。これを L と C とで構成する従来の方
法で設計すると140個の L と 210個の C が必要となり精度も要求されるのに対して、試作回路ではトランジスタ、ダイオード、抵抗ならびに容量の素子数は合計9,500個であり、精度はあまり要求されなかった。集積回路に適した回路方式といえよう。

(大阪大学工学部・通信工学科助教授)

(26頁より続く)

表3・1 各係数間の相互関係

	複利係数	現価係数	資本回収係数	減債基金係数
一括払	$(1+i)^n$	逆数 $\frac{1}{(1+i)^n}$		
年金払	$\sum_{j=1}^n (1+i)^{j-1} = \frac{(1+i)^n - 1}{i}$	累計 $\sum_{j=1}^n \frac{1}{(1+i)^j} = \frac{1 - (1+i)^{-n}}{i} = \frac{1 - \frac{1}{(1+i)^n}}{i}$	逆数 $\frac{i(1+i)^n}{(1+i)^n - 1}$ 逆数	$-\frac{i}{(1+i)^n - 1}$

各係数の相互関係は 3・1 表によって一層よく理解されるであろう。

以上の利子の公式を念頭におくと来月号からの説明は非常にわかりやすくなる。今月は設備投資の経済計算に

ついて、その核心に迫らず、少々漠然としたとりあげ方をしたが、次号より取り上げる問題のおおよその見当はつけていただけたと思う。

(16頁より続く)

適当な脱酸，脱水素処理を施すと良好な鑄造品をつくる
ことができることを確認した。今後さらにこの HZ合
金CL が化学工業界に広く使用されることを願っている
次第である。

文 献

- 1) 山根寿己・田中正雄：特殊金属材料に関する研究（第1報）
—超耐塩酸合金— 日立造船技報 vol. 24 No. 2 (1963)
- 2) 山根寿己・田中正雄：ニッケル基耐塩酸合金：特許第436549号
（特公昭39—15527号）
- 3) 山根寿己・田中正雄：ニッケル基合金：特許第459121号
（特公昭40—8133号）
- 4) 中井直男，山根寿己，田中正雄：ニッケル基耐塩酸合金の溶接性
溶接学会，溶接冶金研究委員会 第19回資料
No WM—63—65 (1965)
- 5) R. W. Ruddle, The Solidification of Castings,
1957 Second Edition, The Institute of Metals,
Monograph No. 7.
- 6) Bishop H. F., Myshowski E.T. and Pellini W. S.:
Trans Amar, Found Soc., Vol. 63 (1955), p 271.