



LSI・プリント基板の自動レイアウト

白川 功*

1. はじめに

各種原子機器のシステムの機能の高度化，集積化に伴ってシステムの大規模化がますます進行しつつある今日，信頼性向上・設計工程の合理化・製造コストの削減等の観点から，これら機器の論理設計・実装設計・検査の各工程において，より高性能な計算機援用設計 (Computer-Aided Design, CAD) の技法の開発が要請されている。

特に，実装設計における配置配線設計に対する CAD に注目すれば，1960年代後半あたりから多種多様な提案や試みがなされてきているものの，依然として人手による設計に頼っているものも多々見受けられる。例えば，電卓，マイクロコンピュータ，時計用の LSI のように，大量に生産される LSI に対しては，チップ面積の最小化は歩留まりを向上させ，コスト削減の最も重要な要因であるために，その配置配線設計は有能な技術者によって入念に行なわれるというのが現状である。それは主として，チップ面積の最小化という点で，人手による設計の方が計算機によるものよりも良好な結果を生むという現実があるからである。この事実は，以下の点である程度“本質的”なのである¹⁾²⁾³⁾。

- ① 実装設計の諸工程において，実際の要求をすべて考慮した最適化問題を数理的に定式化することすらほとんど不可能である。
- ② 実装設計に部分問題として介入する組合せ問題が定式化されたとしても，そのほとんどが NP ハードである (すなわち，最適解が，最悪の場合に入力の規模に関する多項式時間で得られることは絶望的であり，指数的に増大するようなアルゴリズムしか

期待できない)。

しかしながら，このような人手による設計の最大の欠点は，設計時間が長過ぎるということである。特に，多品種少量の LSI，プリント基板に対する設計の比重が急激に増大しようとしている今日，多少は他を犠牲にしても，高密度実装を“短時間”に実行するような技法の開発が最も重要であるという場合が今後ますます増加するものと予想され，これに伴って配置配線設計に対する新規な接近法あるいはより高性能な CAD 技法の重要性が改めて認識されるようになった。

筆者等が，このような実装設計におけるいわゆるレイアウト問題に関する研究に着手してから丸7年経過しようとしているが，その間にいくつかの実用的な自動レイアウトシステムを開発した。本文では，それらのうち特に最近完成した，あるいは完成に近い，三つのレイアウトシステムに注目して，その概要を述べる。

2. デジタルプリント基板用配線システム

プリント基板に対する実装設計の実状をまずながめると，レイアウト設計がなされるべき基

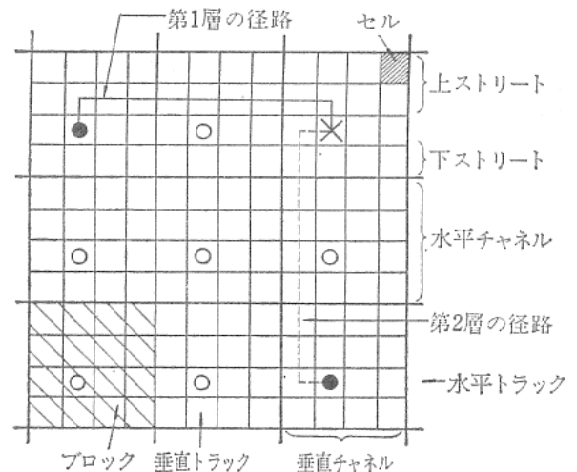


図1 チャンネルとトラック [●はピン，○は中継穴可能位置，×は中継穴を表わす]

*白川 功 (Isao SHIRAKAWA), 大阪大学, 工学部, 電子工学科, 助教授, 工学博士, CAD, グラフ理論

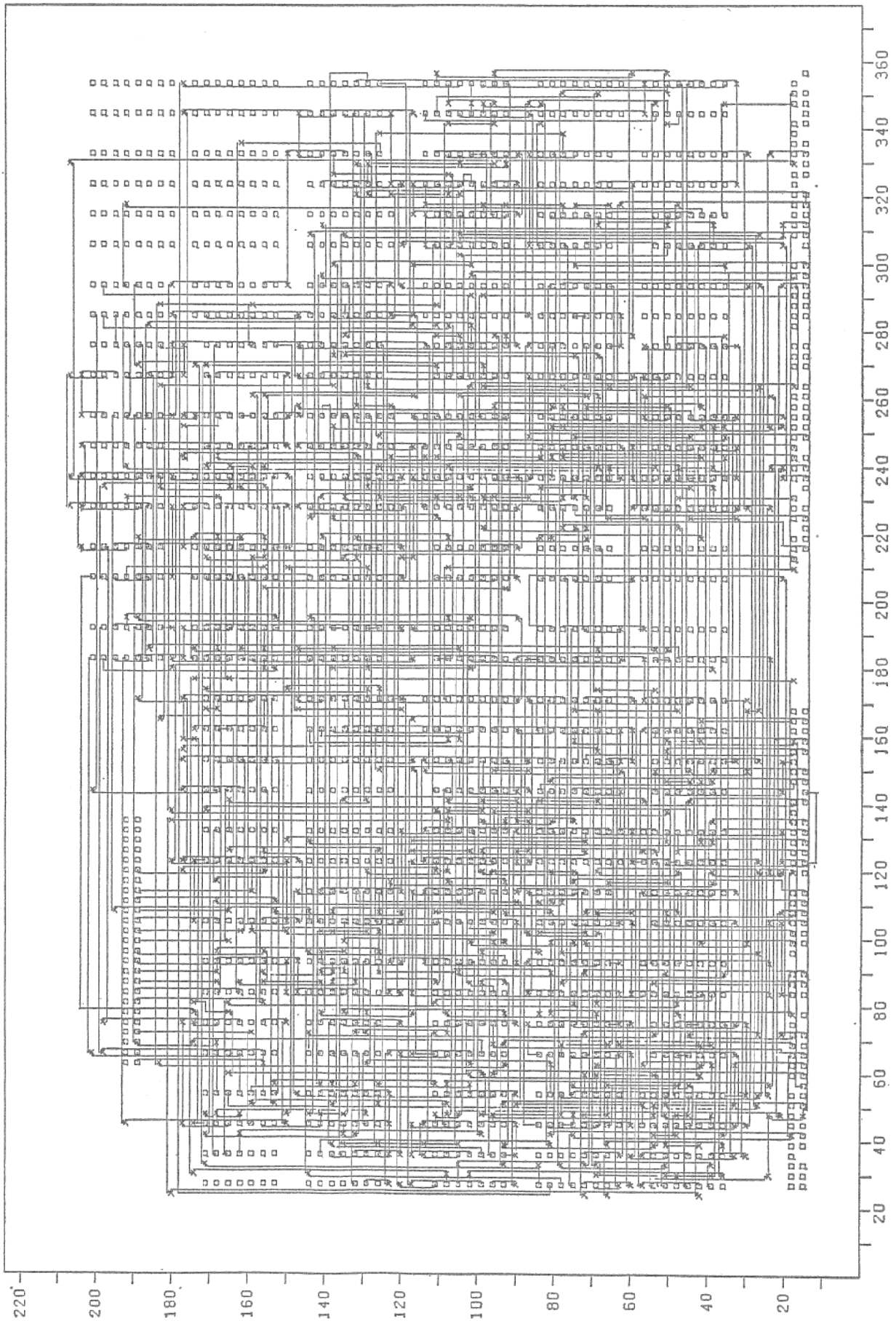


図2 2層プリント基板の配線パターン図.

板の大半が試作段階にある装置用のものであり、試作中の設計変更に伴って新たにレイアウトのやり直しが要求される場合も少なくない。従って、設計すべき装置の多様化ばかりでなく、このような設計変更にも伴って、基板の設計件数がますます増大しようとしており、レイアウト設計に要する時間と労力の削減をいかに行なうかが極めて重要な課題となっている。

従来は、通常のICのピン間(2.54mm)に1本だけの配線を通すような2層基板が大勢を占め、従って自動レイアウトシステムも主としてこのような基板を対象として構築されてきた。しかるに、近年の加工技術の急速な向上により、ICのピン間に2本またはそれ以上の配線を可能とするような高密度で、かつ信号層が4またはそれ以上であるような多層の基板が出現し、今後ますます普遍化しようとしている。このようにICのピン間に何本かの配線を通すような高密度基板では、ピンおよび中継穴の位置は、ピン間距離と同じ間隔で水平、垂直に張られた格子点に指定されるのが普通であり、このような配線仕様の状況下では、配線経路の探索およびデータ処理の効率化という点で、図1の

ようないくつかの上下トラック数から成る水平、垂直チャンネルという実装単位を導入した方が得策である。その最大の利点は、チャンネル毎の線分探索法と、各チャンネルに割当てられた結線要求を実現する一行配線法とを組合せた新しい配線手法を可能にするということである⁴⁾⁵⁾。

我々は、この新しい有望な配線手法と従来の迷路法とを組合わせて一つの配線システムを開発しているが⁶⁾⁷⁾、その適用例を図2に示す。これは、サイズが250×148セル、信号数が307、信号区間数が601、ピン数が1,581の2層基板に対して、ピン間2本配線という仕様の下で得られた配線パターンを示すが、配線率は99.8%であり、中継穴を859個使用している。

3. アナログプリント基板用配線システム

ハイブリッドICや民生用プリント基板において、信号層がただ一層であるという場合が多いが、このようなレイアウト設計における困難な側面は、主として次の二点に要約される。

- ① 指定された実装上の制約の下で、配線パターンの発生機構を多様化しなければならないこと。

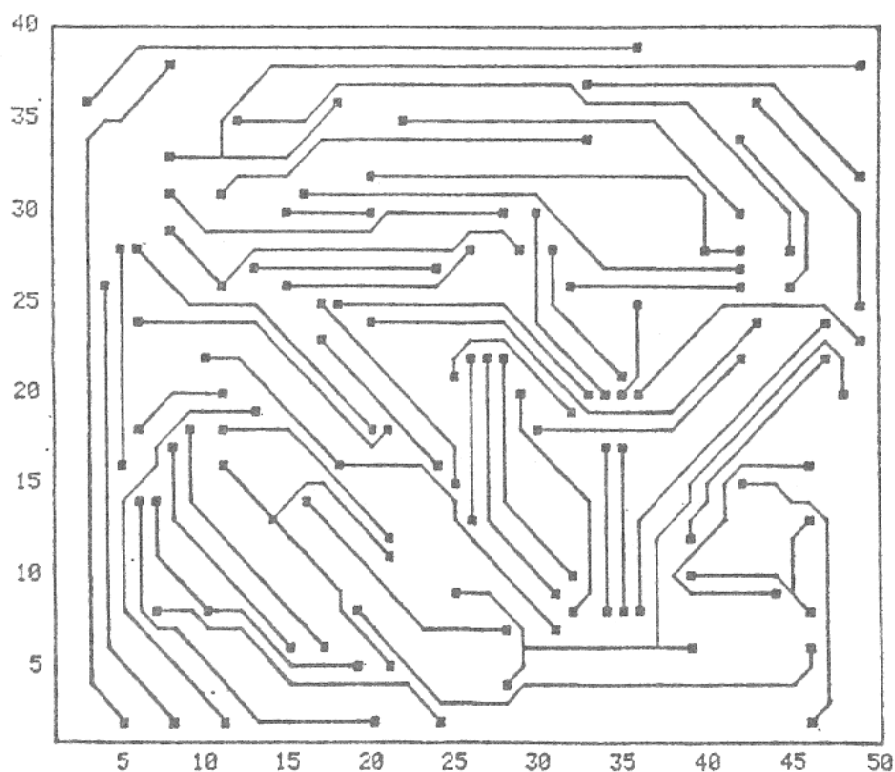


図3 配線パターンのシンボル図。

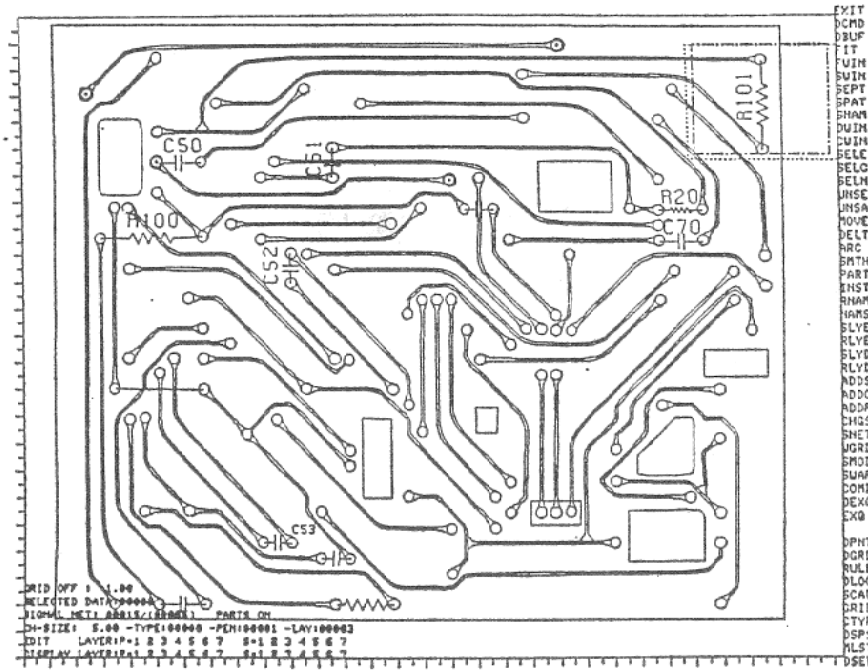


図4 図3の配線パターンをアートワーク処理した最終的な実体図。

② 多層基板の場合には、配線径路を垂直、水平成分に分解して、それぞれ独立した層に割当てることができたが、一層の場合にはそれが不可能のため、径路が一旦生成されると、それが直ちに以後の径路発見に大きな障害となり、従って配線率は探索順序に大きく左右される。

そこで、我々は対角枝を含む格子グラフ状のトラック上で配線径路を構成し（ただし、一つの対角枝が用いられると、それに交差する対角枝は自動的に除去されるものとする）、配線順序をある段階毎に動的に決定するという手法を導入して、上の二つの問題点に対処すべく、一つの配線システムを構築した³⁾。このシステム

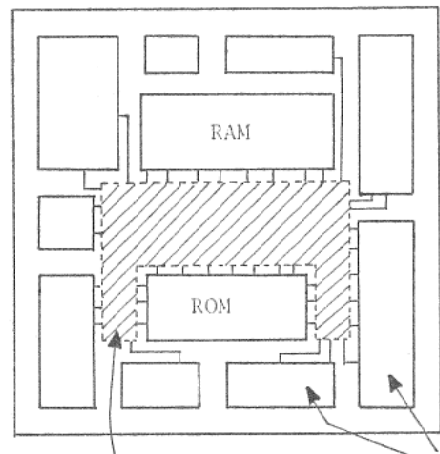
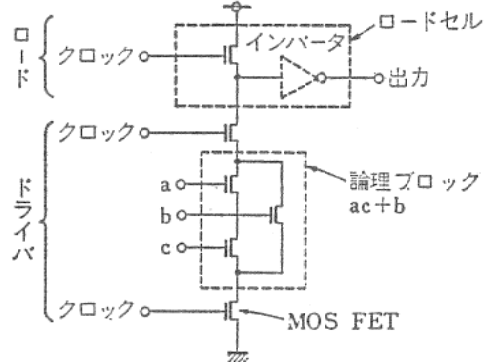
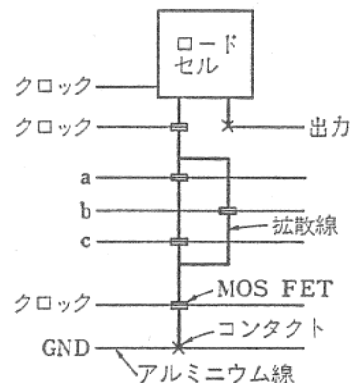


図5 MOS LSI のランダム論理部と機能ブロック。



(a) 図路図。



(b) レイアウト図。

図6 複合ゲートの回路図とレイアウト図の一例。

を実際に適用して得られた配線結果を図3に示す。これは、サイズが50×40グリッド、信号数が55、ピン数が120の基板であり、配線率は100%である。図4は、この配線結果に基づいて、アナログ基板の最終的な配線パターンを自動的に生成した結果を示している。

4. MOS LSI のランダム論理部のレイアウトシステム

電卓用 LSI は図5のように、RAM, ROM, シフトレジスタ, 入出力バッファなどの機能ブロックとそれらのブロックの端子間を論理関数で結ぶランダム論理部とから構成されるが、特にランダム論理部のレイアウト設計に多くの時間と労力が費やされ、設計時間の短縮を妨げている。このランダム論理部は、通常は複合ゲートと呼ばれる多相クロック信号を用いた MOS レシオレス回路で構成されるが、その一例を図6に示す。図6(a)はPチャネルトランジスタから成る一つの複合ゲートの回路図であり、同図(b)はそのレイアウトパターンを図式的に描いたものである。ランダム論理部は、通常このような複合ゲートを図7のように1次元に配列して

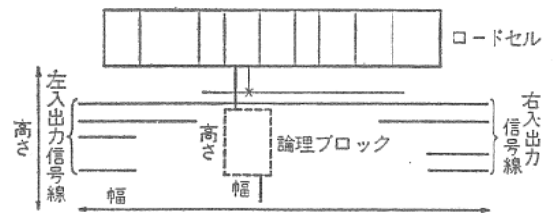


図7 複合ゲートの1次元配列。

表1 実行結果

データ番号	ゲート数	人手設計 (高さ×幅)	自動設計 (高さ×幅)	人手設計との比 (高さ×幅=面積)
1	21	44×59	42×70	0.95×1.19=1.13
2	48	47×130	39×156	0.83×1.20=1.10
3	64	52×200	49×238	0.94×1.19=1.12
4	63	43×178	46×233	1.07×1.31=1.40

構成されるが、その際問題となるのは、そのレイアウトパターンの占める面積をいかに最小にするかということである。この最小化問題に対しては次の三つの部分問題が定式化される。

問題A：水平トラック数が最小となるように、いかに複合ゲートを1次元配列するか。

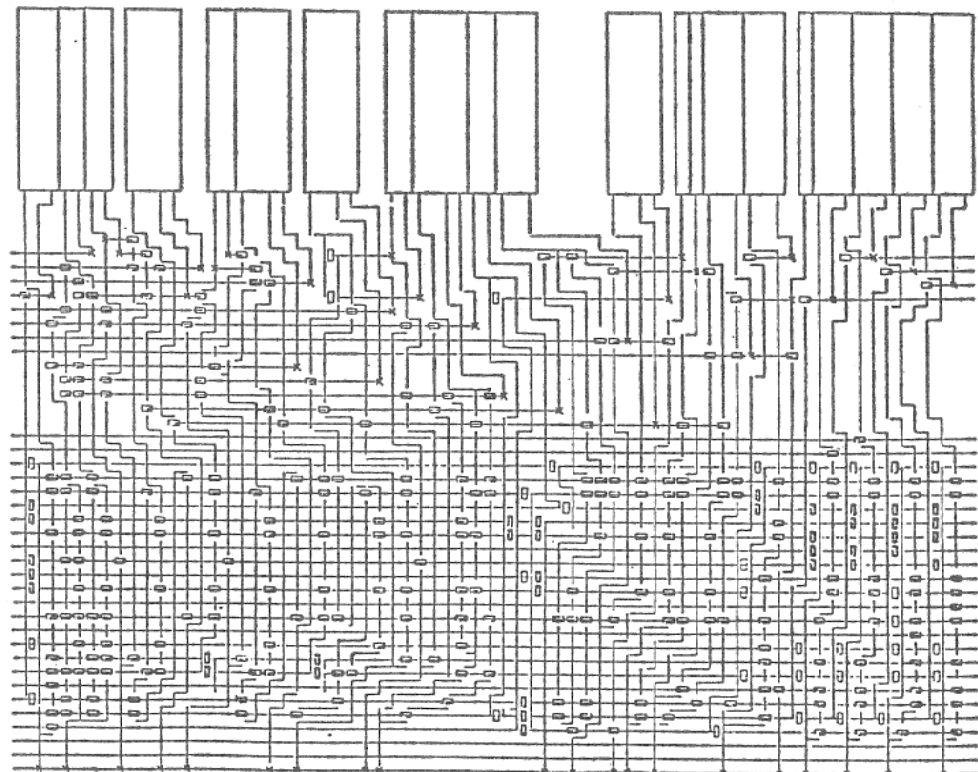


図8 ランダム論理部の自動レイアウトの一例。

問題B：ランダム論理部の幅が最小となるように、いかにして信号線を水平トラック上に割当てるか。

問題C：各複合ゲートの論理ブロックに要する垂直トラック数をいかにして最小にするか。

我々は、これらの部分問題に対するアルゴリズムを構築し、更にアートワーク処理のプログラムを付加して、一つのレイアウトシステムを構成し⁹⁾¹⁰⁾、これを実際にいくつかのランダム論理部に適用した。表1はその結果の一部を入手設計の結果と対比して示している。図8はこの表のうちのデータ1に対するレイアウトパターン出力図を示す。このシステムに残された課題は、入手設計が容易に介入できるような対話形プログラムを付加するという事である。

5. おわりに

本文では、筆者等が最近開発した三つのレイアウトシステムについてその一端を述べた。さて、このようなレイアウト設計の自動化技法に関する研究開発という問題に注目すると、現場での実状と今後の要望、およびそれに基づいた問題の設定とそれに対するアルゴリズムの開発が最も肝要であり、“産学共働”の絶好の研究課題でもある。幸か不幸か、国の内外を問わず、大学においてこの分野の研究開発に従事し

ているグループは極めて希であり、従って我々にとっての今後の課題は、この地位を確保するためにも、ますますそのノウハウの蓄積と常に新しい接近法の開発に惜しみなく努力が続けられなければならないということである。

参考文献

- 1) 白川, “組合せ問題における計算複雑度解析”, システムと制御, 20, 8, P P. 395-404 (1976).
- 2) 白川, “実装設計における配置配線技法の動向”, 電子通信学会誌, 61, 3, P P. 245-255 (1978).
- 3) 白川, “実装設計におけるグラフ理論の応用”, 同上, 62, 7, P P. 780-789 (1979).
- 4) 白川, “プリント基板CADシステム”計測と制御, 19, 5, P P. 495-501 (1980).
- 5) 築山, E. S. Knh, 白川, “上下トラック数が2以下の一行一層配線法について”電子通信学会誌, 62-A, 5, P P. 309-316 (1979).
- 6) 浅原, 小倉, 尾谷, 白川, 尾崎, “一行配線手法を用いたプリント基板自動配線システム”電子通信学会技報, CAS 79-74 (1979).
- 7) I. Shirakawa, “Snigle-row routnig and its wirality”, Proc. 1980 European Conf. Circuit Theory and Design.
- 8) 二神, 白川, 尾崎, “一層プリント基板の一配線システム”, 電子通学会技報, CAS 79-72 (1979).
- 9) 原田, 谷, 白川, 尾崎, 奥田, “MOS LSIの複合ゲートの実現に関する一手法”, 同上, CAS 79-73 (1979).
- 10) —, “A layont system for the random logic portion of MOS LSI”, Proc, 17th Design Automation Conf (1980).

お お 人 生

自ら処すること超然
 人に処すること藹然^{アイ}
 有事斬然
 無事澄然
 得意澹然^{タン}
 夫意泰然

六然と言う人生指針(江戸時代)

自分に対しては超然としなさい。人に対しては優しくニコニコ。身のまわりに何か事が起きたときこそ、間髪を入れずに勇敢に対処せよ。無事平穏なときには心を澄まして考えたり行なったり、とにかくぼやっと時を過ごしてはいけない。得意なときはうぬぼれるな。そして失意のときはどっしりと構えて、しよぼんとするな。これが大人物の道だ。