



若 者

新しいトンネルトランジスター

服部 励 治*

私は約2年ほど前からちょっと変わったトランジスターを考えています。それを思い付いたとき、そのトランジスターの動作原理は今まで私が読んだ半導体デバイスの教科書には載っていないものでした。その内容は後で説明するとして、その時はトランジスターの長い歴史の中で誰かが必ず考えたことがあるだろうと半信半疑でいました。その後、今まで論文や教科書を調べ良く似たデバイスを見つける度にヒヤヒヤしてきましたが、幸いなことに全く同じものは今の処見つけられていません。ひょっとしたら論文にするのに値しないのか、またはアイデア自体が間違っているのかもしれませんが、今までこのアイデアを聞いてもらった人からは根本的な間違いを指摘されることはありませんでした。ここでは読者の方々に私の考えているトランジスターの動作原理を読んでもらい、おかしな点を指摘してもらえれば有り難く思います。

このトランジスターはショットキー障壁接合やpn接合のブレイクダウン現象を利用した一種のトンネルトランジスターです。図1にショットキー障壁を利用しnチャンネルの場合の構造図を示します。この図からわかるように構造はMOSFETとよく似ています。違うところはソース、ドレインにショットキー障壁接合を用いていることと活性層がn形に高濃度($\sim 10^{17} \text{cm}^{-3}$)にドーピングされていることの2点です。通常のnチャンネルMOSFETはソース、ドレインにオーミック接合とするために n^+ 領域が形成されていて活性層はp形に低濃度($\sim 10^{16} \text{cm}^{-3}$)にドー

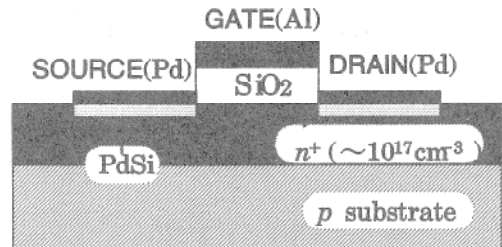


図1 ショットキー障壁トンネルトランジスター (SBTT) の断面構造

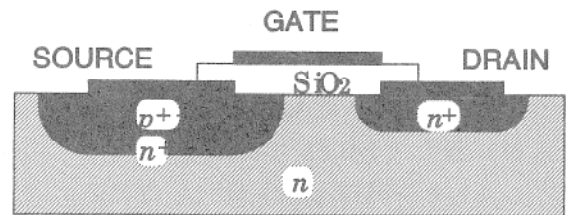


図2 pn接合トンネルトランジスター (nチャンネル)

プされています。以下、このトンネルトランジスターをSBTT (Schottky Barrier Tunnel Transistor) と呼ぶことにします。一方、pn接合を利用したnチャンネルの場合の構造は図2の様なものが考えられます。両方ともその動作原理はほとんど同じですがショットキー接合を用いた方が構造や作製面でメリットが大きいため本稿ではSBTTについて説明します。

図3はSBTTと通常MOSFET(電界効果トランジスター)の動作原理の違いを漫画的に書いたものです。2階広場はソースを表し1階広場はドレインを表しています。そして階段はチャンネルを表し、その幅はゲート電圧の電界効果によるチャンネルの広がりに対応しています。図に描かれている人々の顔には-(マイナス)の印が描かれているようにキャリアは電子で双方のトランジスターはnチャンネルであることを示しています。



*Reiji HATTORI
1963年6月20日生
昭和63年大阪大学大学院工学研究科電気工学専攻前期課程終了
現在、大阪大学工学部電気工学科白藤研究室、助手、工学、電気材料
TEL 06-877-5111内線4567

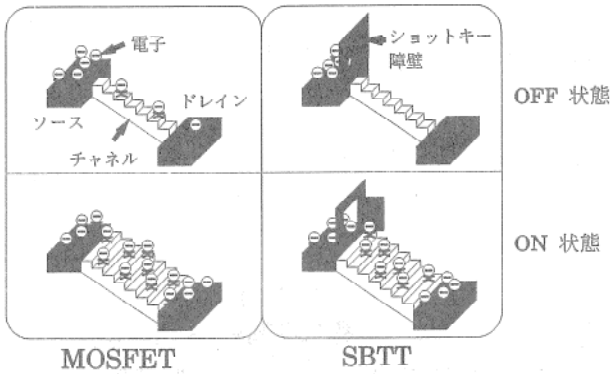


図3 MOSFETとSBTTの動作原理の違い

まず、左側のMOSFETの動作原理を説明しましょう。通常のMOSFETにおいて、OFF状態の時(ゲート電圧がゼロの時)、階段が狭くて(チャンネルが形成されてなくて)人々は1階へ降りれません(電流は流れません)。ON状態の時(ゲート電圧が印加された時)、階段が広くなり(チャンネルが形成され)人々は1階へ降りて行きます。(電流が流れます)。

これに対してSBTTでは2階(ソース)に扉(ショットキー障壁接合)が取り付けられています。この扉はOFF状態では閉まっておりON状態になって初めていきいきに開けられるようになっています。この動作はショットキー障壁に逆方向電圧を印加していく時、始めは逆方向飽和電流程度の非常に小さい値しか流れませんが、ある電圧から電流が急激に流れ出す降伏現象に対応しているわけです。同時にゲート電圧による電界効果も存在して階段の幅が変わっています。この様にSBTTでは主に扉の開け閉め(ショットキー障壁の降伏)を利用してスイッチング動作を行わせます。

次はもう少し専門的にバンド図を使って説明します。図4はSBTTのソースドレイン間におけるエネルギーバンドのゲート電圧による変化を簡単に示したものです。今、ゲート、ドレイン電圧が印加されていない場合を考えると(a)のように両端の伝導帯にショットキー障壁が形成されたものとなります。次に、ドレインに正のバイアスを印加した場合が(b)の図になります。この場合ソースでは逆バイアスの状態になり、流れる電流はショットキー障壁の飽和

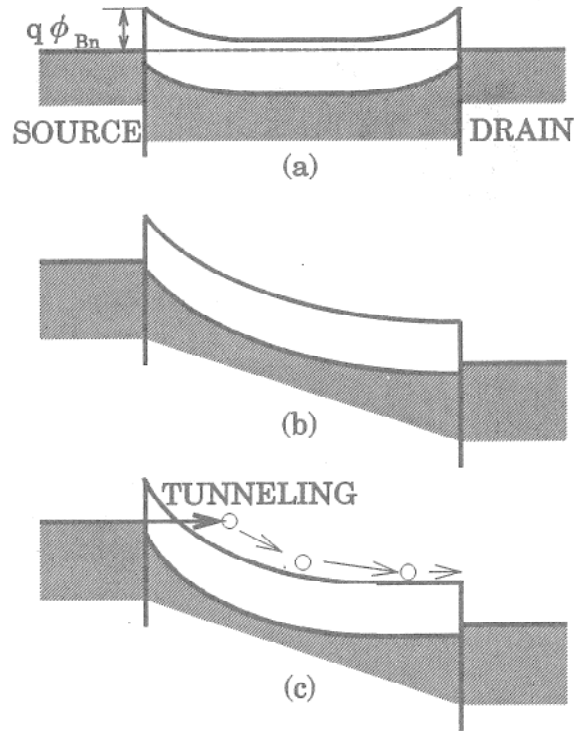


図4 SBTBのソースドレイン間のバンド図。(a)ゲート、ドレイン電圧ゼロの状態、(b)OFF状態、(c)ON状態

電流程度の値となります。この状態はトランジスターがOFFの時に対応し、トランジスターの消費電力に大きく影響を与えるOFF電流はショットキー障壁の高さで決定されることになります。この状態でゲート電圧を印加していくとチャンネルが形成されソース側のショットキー障壁にかかる電圧が大きくなります。この状態が図2(c)です。この時、ショットキー障壁は降伏状態でなければいけません。この時の降伏電流は金属のフェルミエネルギー位置でのショットキー障壁の空乏層幅が十分に薄い場合にはトンネル電流過程が支配的になり、そうでない場合はアバランシ増倍過程が支配的となります。原理的にはどちらの過程でもよいのですが後者は降伏を起こす電圧が大きいため実用的ではありません。したがって、トンネル過程を用いる方がよいでしょう。

以上でSBTTのトンネルトランジスターとしての動作原理を大体理解してもらえたことでしょう。次にこのトランジスターがどのような利点を有しているかを説明して行きたいと思いません。

この原理で動作する場合の優位性を列挙すると次のようになります。

1) ショートチャネル効果を抑制しながら素子の微細化が可能

ショートチャネル効果はチャネル長(ソース、ドレイン間距離)が1マイクロン以下になると閾値電圧のばらつきやドレイン電流の不飽和などに現れ、LSIの高集積化の大きな問題となっています。これはソース、ドレイン領域にそれぞれに広がる空乏層が微細化のために互いに重なり合うために起こります。SBTTはソースドレイン間の活性層を高濃度にドーピングできるため、空乏層が狭くなりショートチャネル効果を抑えることができます。例えば、活性層の不純物濃度が 10^{17}cm^{-3} とすると空乏層の広がり $0.1\mu\text{m}$ 程度となり、この程度の素子寸法の素子を実現可能であることがわかります。また、金属-半導体界面に形成されるシリサイドの深さは数nm程度と非常に浅くできるので、このことも2次元効果によるショートチャネル効果を抑えるのに役立つでしょう。

2) ラッチ・アップフリーのCMOS回路が実現可能

今までのSBTTの説明ではnチャンネルの素子について説明してきました。n形シリコンにおいてショットキー障壁を形成するには電極としてパラジウムや白金などの金属を用います。一方、p形シリコンにおいてはチタンを電極金属として用いることにより正孔に対しショットキー障壁を形成するのが可能であることがわかっ

ています。つまり、pチャンネルのSBTTもできるということです。よってこれら相補的な2種類のSBTTを用いることによりCMOS回路を作ることができます。図5にSBTTを用いたCMOS回路素子の断面図(a)とバンド図(b)を示します。この素子は構造が簡単で微細化に適していることはもちろん、最大の特徴は寄生サイリスター構造が素子内に存在しないためにラッチ・アップという現在のLSIが抱えている問題を解決しているところにあります。ラッチ・アップとは通常のCMOS回路においてnpnpやpnnp構造がどうしても避けられないために雑音信号や信号のオーバーシュートなどによってこれらの構造がサイリスターとして働き一度電源をきらない限り復帰しないという現象です。このように特別な細工をしなくてもSBTTを用いるだけで本質的にラッチ・アップが防げることは非常に有用な特性であるといえるでしょう。また、電子に対して障壁が高い金属-半導体結合は正孔に対して障壁が低くなるという性質をうまく活用できていることが図5のドレイン部分の金属の選び方からわかることでしょう。

3) 製作プロセスの簡略化が可能

図1の構造図からわかるようにSBTTにはオーミック接合を得るための n^+ 、 p^+ の島がありません。これらの島は普通イオン打ち込みによって形成しますがこの工程が不要になるばかりかそれに続く高温アニーリング工程も省かれます。これによって大幅な作製プロセスの簡略

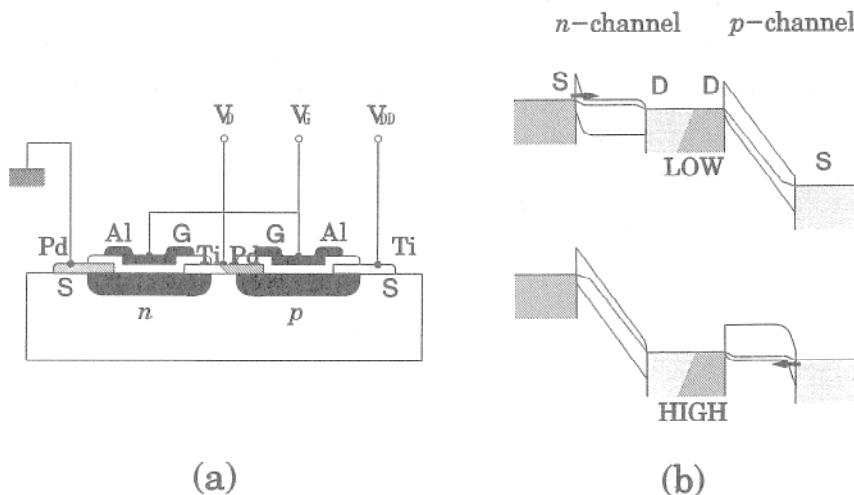


図5 SBTTによるCMOS回路の(a)断面図, (b)バンド図

化と自由度が生まれることでしょう。また、金属半導体界面に形成されるシリサイドは温度に対して比較的安定で界面作製後の高温プロセスにも耐え得ることでしょう。

4) 高い伝達コンダクタンスと高速動作

SBTTで電子の走行距離を考えるとほぼショットキー障壁幅程度になります。これは幅10nmの障壁を考えたとき電子の走行時間が 10^{-15} 秒程度と非常に短いことを意味し、周波数応答を決める要因はMOSFETと同様、ゲート容量や寄生容量、または伝達コンダクタンスであるといえます。伝達コンダクタンスとはゲート電圧変化に対するドレイン電流の変化の割合を示す値で、これが大きいほど応答周波数が高くなります。SBTTはその動作原理から高い伝達コンダクタンスを持つと考えられます。なぜならばショットキー障壁の降伏現象はポテンシャルの変化に対し非常に急峻におこるため、このことはゲート電圧の変化によってドレイン電流が大きく変わることを意味するからです。図6は2次元デバイスシミュレーションによって得られたSBTTの出力特性です。このシミュレーションの詳しい説明は近日論文に発表する予定です。この図よりソースドレイン電圧2Vにおいてのゲート幅1mmあたりの伝達コンダクタンスが138ms/mmと通常のMOSFETに比べ大きくなっていることがわかります。したがって、SBTTは高速動作にも有望なトランジスターと考えても良いでしょう。また、SBTTの伝達コンダクタンスにおいてMOSFETとは違いチャンネル層の移動度は直接関係せず、ゲート電圧がソース部分に与える電界変化の程度によって大きく左右されます。したがってソース、ゲートの設計によってはこの伝達コンダクタンスの値をさらに大き

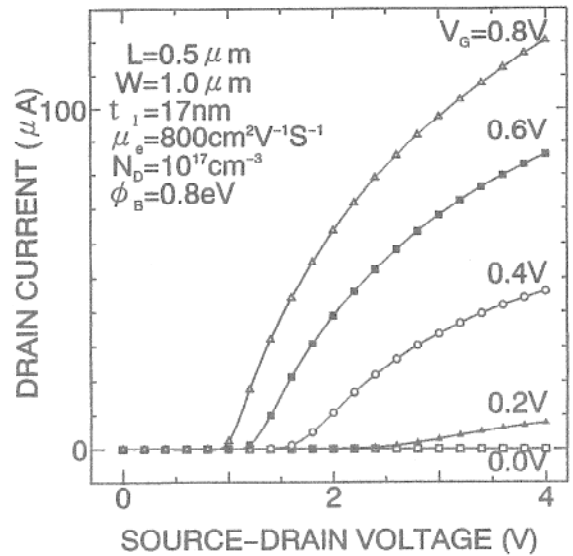


図6 2次元デバイスシミュレーションによるSBTTの出力特性

くできる可能性があると言えます。

以上、私が考えている新しいタイプのトンネルトランジスターの構造、動作原理、利点などを述べてきました。残念ながら今の処、実際のデバイスを作り特性の評価を行うには至っていません。悲しいかな大学にはサブミクロンのデバイスを作る施設がないのです。シミュレーションまでの段階ではSBTTは夢のようなデバイスです。しかしながら試作してみると思うようには行かないこともあるでしょう。はやくSBTTを実際に作製してみて先ほど述べた特性を証明したいと思っています。そしてこのトランジスターがより多くの人に使ってもらえるのが私の夢です。

最後に本稿の執筆を勧めて頂いた大阪大学工学部電気工学科、白藤純嗣教授に御礼を申し上げます。