



研究室紹介

大阪大学工学部情報システム工学科 情報システム構成学講座

白川 功*

本講座では、計算機応用に関する基礎理論の研究から実用的なシステムの試作まで、計算機工学の諸問題を総合的に取り扱っている。計算機によってどのような処理が可能か、逆に処理に対してどのような計算機が必要かなどの基本的な問題を念頭に置きつつ、主に、近年その重要性が増しつつある VLSI 化設計における CAD (Computer-Aided Design) に着目して研究を進めてきた。その結果 VLSI の各種 CAD アルゴリズムなどにおいて基礎的な研究成果を得ると共に、それに基づいた実用的なシステムを試作完成した。また、最近では、各種システムの中核となるプロセッサの設計やアーキテクチャの開発に関する研究にも取り組んでいる。

現在本講座は、白川教授、石浦講師を初めとした 5 名の職員と約 20 名の学生、研究生から構成されている。学生の内訳は、配属された大学 4 年次学生が 6 名、大学院学生が 12 名と、研究生が数名である。特に大学院学生として、海外からの留学生や、企業に就職中であるが学位を目指して再び大学に戻って来ている者など、様々な学生が各自経験を生かしながら共に研究に励んでいる。

以下に、本講座が現在取り組んでいる研究課題を紹介する。

1. VLSI の CAD に関する研究

集積回路技術の急速な進展に伴い、1 チップ



*Isao SHIRAKAWA
1939年9月12日生
昭和43年大阪大学大学院工学研究
科電子工学専攻博士課程修了
現在、大阪大学工学部情報システム
工学科、教授、工学博士、
VLSI の CAD、設計
TEL 06-877-5111(内線 5026)

に数百万のトランジスタが集積される時代が到来したが、このような大規模な回路を誤りなく設計することはもはや人間の限界を超えており、計算機を駆使した様々な CAD システムが必要不可欠となる。さらなる設計複雑度の増大に対処するために解決しなければならない課題は数限りないが、本講座では特に以下のような研究を行っている。

(1) VLSI の自動配線

近年のプロセス技術の発展により 5 層にも及ぶ配線層が実現可能となっているが、配線領域の増大により 100MIPS 程度の計算機を用いたとしても 100% 配線に 1 週間程度の CPU 時間が必要となる。従って、分散処理により効率良く解くアルゴリズムが必要となる。そこで本講座では、汎用ワークステーションネットワーク上で概略配線及び引き剥し再配線を分散処理によって処理時間を数時間に短縮するような実用的配線システムを数年来研究し、ほぼ完成に至っている。

(2) 機能セルの自動生成

プログラミング言語を用いて機能セルのレイアウトを表現しておくことにより、設計規則の変更に応じたセルレイアウトの更新を容易化する手法が、古くから提案されている。しかし、言語表現されたレイアウトデータを作成するのが困難なため、実用化には至らなかった。そこで、本講座では通常のレイアウトデータを基に、言語表現されたレイアウトデータを自動生成するアルゴリズムに関して研究を行ない、既存のレイアウトを再利用する実用的システムをほぼ完成している。

(3) アナログモジュールの自動配置配線

アナログ回路では、雑音や素子のばらつきなど、多くの電気的特性を考慮しなければなら

いため、いまだに人手設計が行なわれている。そこで、素子の配置及び素子間の配線を自動処理するシステムを試作した。今後は特に、対象を画像処理に極めて有用なセルラニューラルネットワーク回路に絞る、より高密度なレイアウトを自動生成すべく研究を進める予定である。

(4) レイアウトのための回路分割

一般的に、素子をグループ化し階層的に処理を行なうことにより、処理時間を短縮することができる。しかし、グループ化の方法によっては、得られた結果の質が望ましいものからはずれ、希望する解が得られないことがある。そこで、本講座では各種レイアウトアルゴリズムで適用可能なグループ化を行なうためのアルゴリズムを、フラクタル理論の立場から検討している。

(5) 論理合成

与えられた論理式を実現する組合せ回路を自動的に合成するアルゴリズムはこれまでも既に考案されているが、ゲート数や遅延を最適化した多段論理合成に関しては、さらに研究が必要である。ここでは、最近論理式の表現法として脚光を浴びている二分決定グラフから、積和形式を経由せずに直接論理回路を合成するアルゴリズムについて研究している。

(6) 不完全指定順序機械の状態割当

順序機械の状態割当は、それによって実現される順序回路の大きさ、動作速度に大きな影響を与えるため、性能の高い順序回路実現のための状態割当を、大規模な順序機械に対しても短時間でこなせるアルゴリズムが望まれている。そこで、与えられた不完全指定順序機械に対し、直接、分解に基づく状態割当を行なうアルゴリズムの構築について研究中である。

(7) 高位論理合成

従来の論理合成は論理式から組合せ回路を合成するものであったが、最近では、ハードウェアの機能や動作といった、より抽象的な記述から、一気に論理回路を合成する研究が始まっている。本講座では、最初から汎用的なシステムの構築を狙うのではなく、ある程度対象が限定されていても十分実用になるシステムを徐々に汎用化していく方針で研究を進めている。

(8) 故障シミュレーション

故障シミュレーションは、故障存在下での論理回路の動作をシミュレートすることにより、故障検出率の評価、故障辞書の作成などを行なうものであり、故障検査に不可欠なものであるが、膨大な計算量に対処するために、より高速で効率の良いアルゴリズムが求められている。これに対し、主にデータの表現法を工夫することにより、高速に動作するシステムを開発し、さらにその高性能化の研究に従事している。

(9) 故障検査

論理回路の故障を検査するテスト系列の生成手法は、回路の信頼性確保のために必須の技術である。特に順序回路に対しては、膨大な記憶容量が必要となるために完全なテスト系列生成は不可能であったが、二分決定グラフを用いることによりこれを実現した。現在、解の探索法を改良することにより、より効率の良いシステムを構築中である。

2. プロセッサの設計に関する研究

各種システムやワークステーション等の頭脳ともいべきマイクロプロセッサは、1971年に米intel社でi4004が開発されて以来急速な進歩を遂げ、現在では64bit 1GIPS(1秒間に十億回の命令実行)の域に達している。今後さらに発展すると予測されるマイクロプロセッサに対し、本講座では特に、以下に示すような汎用プロセッサの各種アーキテクチャに関する研究や特定用途向きプロセッサの設計を、各種CADツールを用いて行なっている。

(1) プロセッサアーキテクチャの評価

プロセッサの動作は非常に複雑なため、理論的に性能評価を行なうことは困難である。しかし現在では、CAD技術の進歩により、プロセッサを実際に設計してみて、より正確な評価を行なうことが可能となっている。そこで本講座では、SuperscalarやSuperpipeline、VLIW等のRISCプロセッサを設計し、各種アーキテクチャの性能比較を行なっている。

(2) プロセッサの設計

実時間処理が必要な状況下では、汎用プロセッサでは処理能力が不足しているために専用プロ

セッサが必要となることが多い。現在は、衛星を利用した航行システムに必要なカルマンフィルタや画像生成システムを対象に、どのようなアーキテクチャが適しているかを検討し、実際にプロセッサの設計を行なっている。

以上のように、本講座では非常に多岐に渡る問題を扱っているが、いずれも VLSI 化設計における基本的課題であり、この研究成果はいわゆるシステムの VLSI implementation の進展に大きく寄与するものである。

