

電子1個で電流を制御する究極のデバイス



研究ノート

谷口研二*, 桑村信博, 浜口智尋

Single Electronic circuits

Key Words: Tunneling, Single-electron, logic circuit, Coulomb blockade

1. はじめに

シリコン集積回路は今日の情報化社会の頭脳として機能している。この集積回路1チップに含まれる素子数は加工技術の進歩によって過去15年間に100倍以上にも増加している。この調子でシリコン集積回路が変革を遂げてゆくとその将来は極めて明るいはずであるが、21世紀初頭には微細MOS型電界効果トランジスタが原理的限界に突き当たるとい暗い予測もある。その一方で、最近の原子寸法の物性研究を通して全く新しい動作原理の超微細素子を実現できることも示唆されている。本研究ノートでは現状素子の原理限界を打破する有望な候補として注目されている単一電子トンネル素子を取り上げる。

2. 単一電子トンネル素子の動作原理

物理の教科書には「キャパシタCの電極に電荷Qを載せると電極間には $V=Q/C$ の電圧が現れる」という記述がある。もしキャパシタの容量Cが $0.1aF(1 \times 10^{-19}F)$ 程度の小さな値であると仮定すれば、たった1個の電子をキャパシタ電極に載せただけで1V以上もの電圧が電

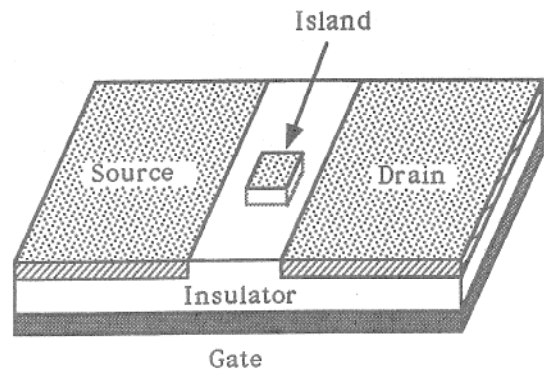


図1 単一電子トンネル素子の基本構造

極の間に現れる。さらに、このキャパシタの絶縁膜が電子にとってトンネル可能な酸化膜であるならば、その構造特有な電気的特性を持つ素子ができる可能性がある。Likharevはこのように考えて単一電子トンネル素子なるものを提案した¹⁾。図1に示す単一電子トンネル素子は従来のMOS型素子と構造的に類似している。相違点としては(1)2個のトンネル接合と(2)その間に挟まれた島部分のあることである。この素子のドレインに正電圧を印加しゲート電圧を適当に選べば、電子がソース側からトンネル接合を通り抜けて中央の島に入り、その後ドレイン側へ抜けてゆくようにゲート電圧を調整することができる。このようにソース電極から出た電子が1個ずつ中央の島に立ち寄り、最終的にドレイン電極に抜けてゆく過程は、小学校の遠足で児童が一人一人飛び石を通りながら川を渡る様子に似ている。これは「極微小な中央の島に電子が2個以上存在するとクーロンエネルギー



*Kenji TANIGUCHI
1948年1月2日生
大阪大学・工学部・電子工学科卒業
現在、大阪大学工学部電子工学科、
助教授、工学博士、半導体物理
TEL 06-879-7766

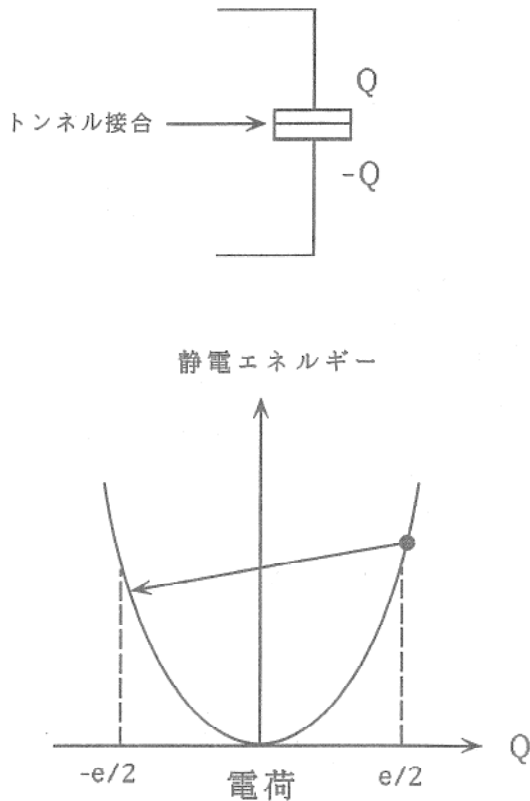


図2 単一電子トンネル素子の基本動作原理

ギーが極めて大きくなり、系全体は不安定となる」という基本原理に基づいている。図2に示すようにトンネル絶縁膜を電極間に挟んだ微小なキャパシタを想定すると、そのキャパシタに蓄えられる静電エネルギーは電荷量の2乗に比例して大きくなる。蓄積電荷がある程度大きくなると電子が1個トンネルしてキャパシタ電極上の電荷量を減らした方が静電エネルギーは得をする。ただし、蓄積電荷量 Q が $\pm e/2$ の間にあるときにはトンネルしない方が安定である。すなわち、印加電圧が $\pm e/2C$ の間では電子のトンネルが起こらない(電流が流れない)。このように電子の固有の電荷量が原因で微小キャパシタを電子がトンネルできなくなる現象をクーロンブロッケイド(クーロン閉塞)とよんでいる。

3. 回路シミュレーションによる 疑似CMOS回路解析

図3はイリノイ大学で考案された単一電子トンネル素子を使った疑似CMOSインバータの構造である²⁾。我々はこのインバータの動作を確認するために、モンテカルロ法による単一電

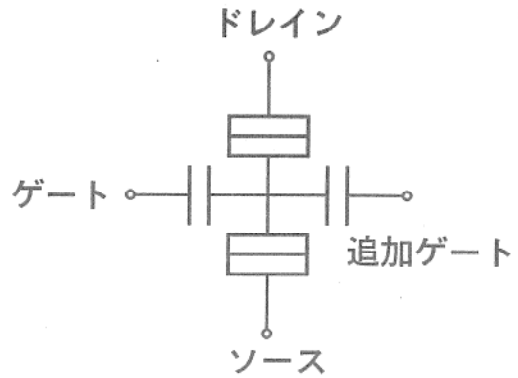
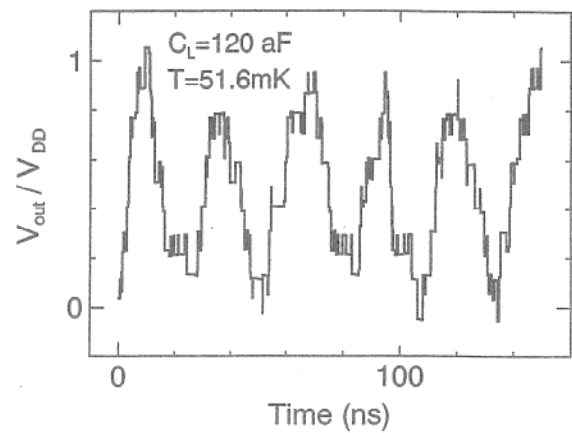
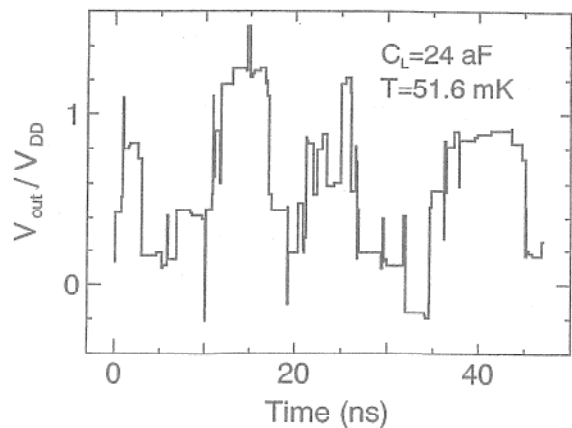


図3 しきい値調整ゲートを追加した単一電子トンネル素子



(a)



(b)

図4 疑似CMOSインバータを3段接続したリングオシレータの出力波形。(a),(b)はそれぞれ負荷容量が120aF, 24aF.

子トンネル回路シミュレータを作成して回路特性の解析をおこなった。疑似MOSFETの基本構造は点線で囲まれた2個のトンネル接合と2個の通常キャパシタから成る4個のキャパシタの組で構成される。追加ゲート電極の電位を変

化させることによってnチャネルとpチャネルMOSFETに似た動作をさせることができる。

図4は疑似CMOSインバータ回路を3段接続したリングオシレータの出力を示す。図4(a), (b)はそれぞれ負荷容量として120aF, 24aFを用いたものである。図4(a)は電子5個で1ビットを表す回路である。インバータ出力の論理振幅はフルスイングしないものの、何段つないでも振幅の減少はある程度で抑えられることが分かる。図4(b)で発振周期にムラが目立つのは(1)1ビットを1個の電子で表しているために、個々の電子のトンネル時間のばらつきが周期ムラとなって現れるためと(2)小さな負荷容量の場合には次段ゲートの各節点における電子配置がトンネル頻度に影響を及ぼすからである。

以上の回路シミュレーションの結果から疑似CMOS回路の特徴として、(1)微細化さえすれば雑音に対する耐性は高い、(2)CMOS論理回路で培ってきた設計論の延長で単一電子によるデジタル回路を構成することができる、(3)ゲート当たりの遅延時間・消費電力積は従来のCMOS回路の5桁以上小さくできるなどが分かった。

5. む す び

1個1個の電子を操作しながら情報処理をす

る夢の単一電子トンネル電子回路も数nmオーダーの超微細加工ができてはじめて本格的な研究開発の段階に移ることができる。このためには現在の微細加工技術をさらに1~2桁進めることができる画期的な技術の開発が不可欠である。これが実現すると1チップ当たり100Gゲートもの超高集積システムができることになるが、これだけのゲートが全て満足に動作することはあり得ず、適当な割合で不良素子があることを前提とした回路設計を行わなければならない。単一電子トンネル素子で不良ゲートが不可避免なら、従来の決定論的な論理回路から飛躍してニューラルネットワークなどのあいまいな論理への応用を考えることも一法である。また、従来の素子と動作原理が違っていただけに、全く新しい電子回路が実現できる可能性がある。

参 考 文 献

- 1) K. K. Likharev : "Correlated discrete transfer of single electrons in ultrasmall tunnel junctions", IBM J. Res. & Dev. 32, pp. 144-158 (1988)
- 2) J. R. Tucker : "Complementary digital logic based on the Coulomb Blockade", J. Appl. Lett., 72, 4399 (1992)

