



技術解説

# 移動体通信用 GaAs MMIC

田村 彰 良\*

## GaAs MMIC for Mobile Communication Systems

**Key Words** : GaAs, MMIC, MESFET, Mobile Communication Systems

### 1. はじめに

91年の超小型携帯電話ムーバの発売を契機に、移動体通信市場は急激に拡大し、96年末には累計2000万台に達する勢いである。伝送方式も従来の800MHz帯アナログセルラ方式から、93年に800MHz帯の、94年に1.5GHz帯のデジタルセルラ方式が導入され、ユーザー数増大に対応してきている。さらに、95年7月には、1.9GHzを用いた簡易型携帯電話のPHS(Personal Handy phone System)のサービスが開始され、96年7月には既に300万台を越えている。これらの携帯端末機器の小型・軽量化、低消費電力化を図るため、RF部に用いるキーデバイスとして、GaAs(砒化ガリウム)のMMIC(Monolithic Microwave Integrated Circuits; モノリシックマイクロ波集積回路)、パワーFETの実用化が本格化してきた。

GaAs デバイスは、高速高周波動作に適したICとして、特にGaAs デジタルICは一時期ポストSiのICと期待されながら、なかなかテイクオフの機会がなかったが、携帯電話の需要拡

大によって、GaAs デバイスは半導体産業の中で重要な位置を占めるようになってきた。

以下、移動体通信用に開発した送信用および受信用GaAs MMICとそのプロセス技術について紹介する。

### 2. MMICの構成要素

MMICは、伝送線路と受動素子および能動素子から構成される。特に、GaAsの場合、基板が半絶縁性(10MΩcm以上)のため、絶縁物と見なして良く、Siのように導電性基板に比して、マイクロストリップ線路やコプレーナ導波線路等、損失が小さく特性良好な伝送線路が形成可能であり、MMIC化に利点がある。

能動素子としては、GaAsの場合、SiのSiO<sub>2</sub>のような相性の良い絶縁膜がないため、ショットキー障壁のゲートを持つMES FET(Metal-Semiconductor Field-Effect Transistor)、HFET(ヘテロ接合HET)、HBT(ヘテロ接合バイポーラトランジスタ)が用いられる。

受動素子としては、抵抗、容量、およびインダクタが用いられる。

MMICの抵抗は、半導体抵抗(シート抵抗値200Ω/□~1kΩ/□)と、NiCr, TaN, WSiN等の金属薄膜を用いる薄膜抵抗(シート抵抗値100Ω/□以下)が用いられる。

容量としては、下地配線金属層と上部配線金属間に誘電体膜をはさんだMIM(Metal-Insulator-Metal)構造が一般的に広く用いられる。誘電体膜としてSiN(比誘電率ε<sub>s</sub>=6~7)やSiO<sub>2</sub>(ε<sub>s</sub>=4)が一般的に用いられるが、大きな容量値を得ようとすると、電極面積が大きく

\*Akiyoshi TAMURA

1956年1月30日生

昭和55年大阪大学大学院工学研究科電気工学専攻博士前期課程卒業

現在、松下電子工業(株)電子総合研究所、第1研究部、第3研究室、室長

TEL 06-906-4922

FAX 06-907-2640

E-Mail tamura@oerl.src.mei.

co.jp



なってチップコストの増大を招き、従来、数10 pF～数100 pFのような大容量値が必要なFETのバイパス容量等は、MMICに内蔵することが困難であった。

しかし、当社では、最近SiのDRAM等で研究開発が進められている高誘電率材料であるBaSrTiO<sub>3</sub>膜(BST膜、 $\epsilon_s = 250 \sim 300$ ), SrTiO<sub>3</sub>膜(STO膜、 $\epsilon_s = 100 \sim 120$ )を用いた大容量量子を集積できるGaAs MMICプロセスを開発<sup>1)2)</sup>しており、大容量値のバイパス容量をMMICに内蔵可能とした。

インダクタは通常配線金属と同時に形成され、スパイラル型が主に使用される。

### 3. 移動体通信用GaAs MMIC

携帯端末では、その容積、重量の多くの部分を電池が占めており、電池の低電圧化(電池の本数(セル数)の減少)により、電池の占めるサイズを小さくすることが、携帯端末の小型・軽量化につながる。

こうした市場の小型・軽量化への強い要望にこたえて、携帯端末に用いられる電池は、従来のニッケル・カドミウム電池5セル(6V)からエネルギー密度の大きいニッケル水素電池4セル(4.7V)へと移行し、今日では3セル(3.6V)への移行が進んでいる。この3.6Vは、更にエネルギー密度の大きいリチウムイオン電池1セ

ルとほぼ同等であり、今後、この3V台が主流になると考えられる。

図1に典型的な携帯端末の高周波(RF)回路ブロック図を示す。RF部は、受信フロントエンド部と送信パワーアンプ部の2系統に分けられる。これらのRF部の消費する電力は、主としてSiのICが使用されるベースバンド部に比べて大きいので、受信フロントエンド部の消費電流は、待ち受け時間の長さ決定し、送信パワーアンプ部は送話時間の長さを決定する。

従って、長時間の送話・待受動作を実現するためには、送信パワーアンプ、受信フロントエンドIC共に3.6Vの低電圧動作に加え、低消費電流化が不可欠になる。

以下、PHS用送信パワーアンプMMIC、セルラー用受信フロントエンドMMICの開発例について述べる。

#### 3.1 PHS用送信パワーアンプMMIC

PHSは $\pi/4$ シフトQPSK変調方式を用いているため、パワーアンプには従来のアナログ携帯電話とは異なる高い線形性が要求される。出力電力が増大し、パワーアンプで発生した歪みにより隣接チャンネルへの漏洩電力が増大し、他チャンネルの妨害波となるからである。PHSでは、600kHzと900kHzオフセットの隣接チャンネル漏洩電力をそれぞれ-31dBmと-36dBmに規定している。これは、RCR規格でのアンテナ送信電力の19dBmに対し、-50dBcと-55dBcのレベルに相当する<sup>3)</sup>。一般に、この隣接チャンネル漏洩電力とパワーアンプの効率にはトレードオフの関係があり、高効率で動作するMESFETの方が隣接チャンネル漏洩電力特性の設計余裕が大きい。

(MMICプロセス技術)

図2に開発したパワーMESFETの断面構造図を示す。0.8 $\mu\text{m}$ (Al/Ti)ゲートのリセスゲート構造FETである。チャンネル(n層)とソース・ドレインn<sup>+</sup>層は、それぞれ80keV、150keVのSiイオン注入で形成した。なお、n<sup>+</sup>層は、200nmのSiO<sub>2</sub>膜のスルー注入を用いている。MESFETの低電圧動作、高効率化を図るには、低い飽和電圧(V<sub>k</sub>: knee voltage)と高いゲート・ドレイン耐圧(BV<sub>gd</sub>)を実現することが必

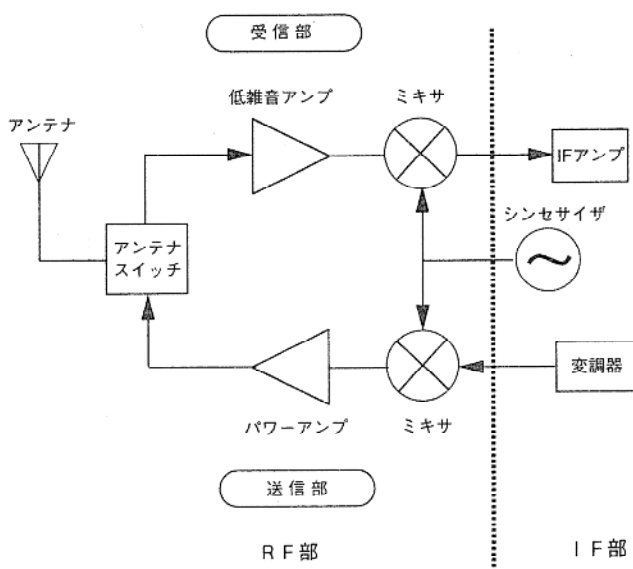
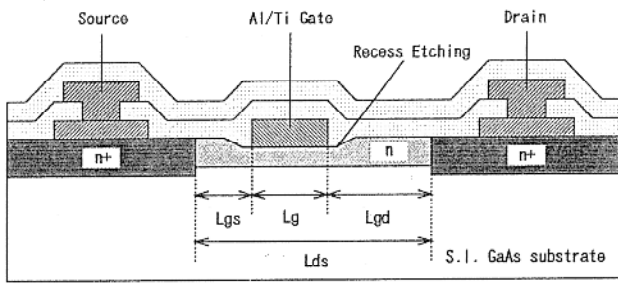


図1 移動体携帯端末の高周波(RF)ブロック図



Dimension

Lgs	Lg	Lgd
0.6 μm	0.8 μm	1.1 μm
Lds		
2.5 μm		

図2 PHS用パワーアンプMMICのMESFET断面構造図

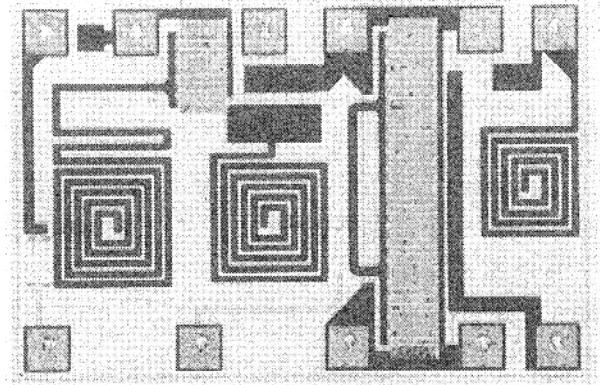
要であり、ゲート・ソース n<sup>+</sup> 層間距離 (L<sub>gs</sub>)、ゲート・ドレイン n<sup>+</sup> 層間距離 (L<sub>gd</sub>) のデバイスディメンジョンの最適化を行った。その結果、閾値電圧 V<sub>th</sub> = -3V の FET において、L<sub>gs</sub> = 0.6 μm、L<sub>gd</sub> = 1.1 μm とすることにより、V<sub>k</sub> = 1.2V、BV<sub>gd</sub> = 16V の値を得た。また、最大伝達コンダクタンス (g<sub>mMAX</sub>) は 110mS/mm、飽和ドレイン電流 (I<sub>dss</sub>) は 250mA/mm であった。

MMICの受動素子として、抵抗は Si イオン注入抵抗層 (400 Ω/□) により形成し、容量は厚さ 200nm のプラズマ SiN 膜を用いた MIM 構造を用いた。インダクタは 3 μm 厚の Au メッキ配線を用いた配線幅 15 μm、配線間隔 10 μm のスパイラルインダクタである。インダクタの配線膜厚は、1.9GHz の skin depth が 2 μm 程度であることを考慮し 3 μm に決定した。このインダクタの自己共振周波数は 4.5GHz 程度であり、1.9GHz 帯で十分使用できる。

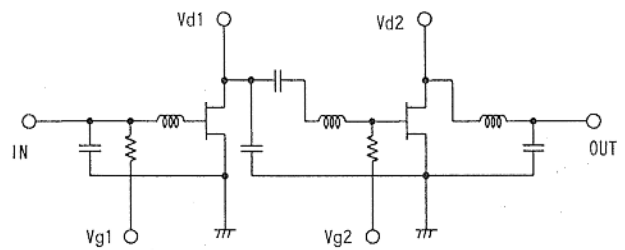
(MMIC回路設計)

パワーアンプ MMIC は、RCR 規格でのアンテナ送信電力が 19dBm のため、MMIC の出力電力を 22dBm とし、この出力電力で効率、隣接チャンネル漏洩電力が最適となるゲート幅を決定した。

パワーアンプ MMIC は、最終出力段とそのドライバ段の 2 段カスケード構成とし、ゲート幅 1mm と 4mm の MESFET と入力、段間および出力整合回路を集積している。

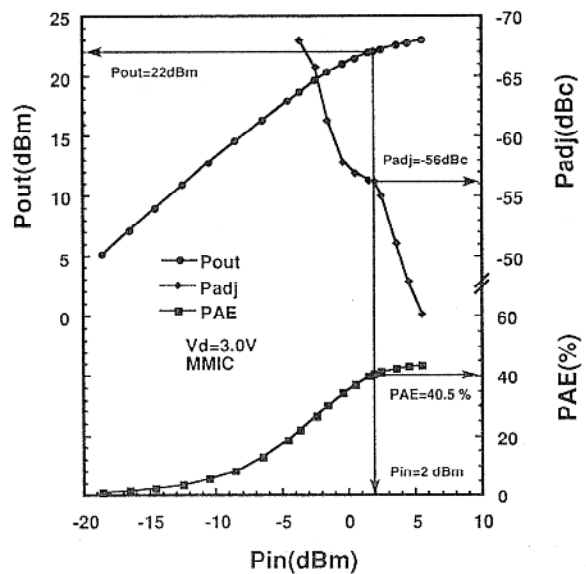


(a)



(b)

図3 PHS用パワーアンプMMICの (a)チップ写真と (b)等価回路



input signal: f=1.9015GHz, π/4-shift DQPSK modulation signal  
Padj: at 600kHz apart from 1.9015GHz

図4 PHS用パワーアンプMMICの入出力特性

図3に本MMICのチップ写真とその回路図を示す<sup>4)</sup>。チップサイズは 1×1.5mm<sup>2</sup> である。

MMICは、利得、消費電流および隣接チャンネル漏洩電力と相関のある位相変化量に注目した非線形シミュレーションにより最適インピー

ダンスを求めて設計した。

(MMIC特性)

試作したMMICの入出力特性を図4に示す。電源電圧3.0Vの低電圧動作で、出力22dBm時に隣接チャンネル漏洩電力-56dBc、電力付加効率40.5%を達成している。これらの値は、RCR規格より出力で3dBm、隣接チャンネル漏洩電力で5dBのマージンを有しており、実用に耐えるものである。

### 3.2 単一電源 PHS 用送信パワーアンプ MMIC

最近、パワーアンプの単一電源動作に対する要求が強まっている。従来、GaAsパワーFETは、閾値電圧が-1Vより深いデプレッション型を用い、負ゲートバイアス下で動作させている。端末の構成部品で負電源が必要なのは実質パワーアンプだけであり、移動体携帯端末には、負電源発生用としてのDC-DCコンバータが必要となる。従って、負電源印加が不要になれば、電源回路の簡略化が可能で、携帯端末の更なる小型化、低コスト化が推進できる。

以下、ヘテロ接合FETを用いた単一電源PHS用送信パワーアンプMMICの開発<sup>5)</sup>について、簡単に述べる。

(MMICプロセス技術)

FETとしては、高電流駆動能力と高gm(伝達コンダクタンス)を有するn-AlGaAs/InGaAs/n-AlGaAs構造のPseudomorphic選択ドーパダブルヘテロ接合(P-SDDH)FETを用いた。

図5にP-SDDH-FETの断面構造図を示す。InGaAsチャンネル層は、電子供給層となる2

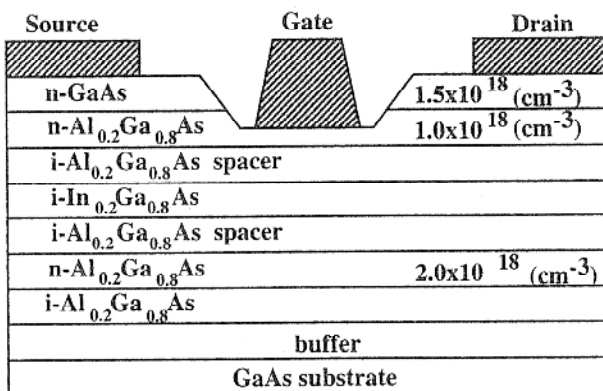


図5 単一電源 PHS 用パワーアンプ MMIC の P-SDDH FET 断面構造図

つの n-AlGaAs 層に挟まれており、これらのドーピング濃度は、高いBVgdを維持しながら大きなgmが得られるように非対称とした。リセスゲート構造FETで、ゲート電極はAl/Ti(ゲート長0.8μm)を用い、AlGaAs上に形成してショットキー障壁の増加を図っている。典型的なFETのVthは-0.2Vで、Vds=1.5VのFETのgmMAXは339mS/mm、Vg=1.0Vの最大ドレイン電流は300mA/mmであった。また、典型的なBVgdは12Vである。

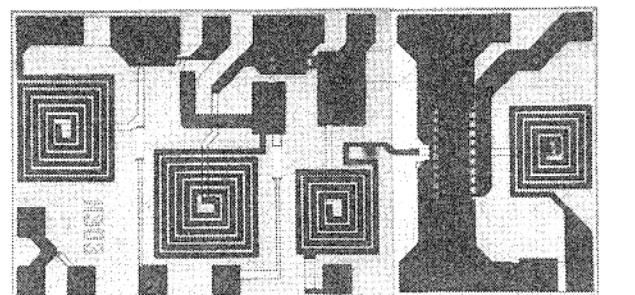
MMICのスパイラルインダクタは、寄生抵抗低減のため、厚さ3μmのAuメッキ配線より成り、抵抗素子としてNiCr薄膜抵抗と半導体メサ抵抗を併用した。容量は、厚さ300nmのプラズマSiN膜を用いたMIM構造を用いた。

(MMIC回路設計)

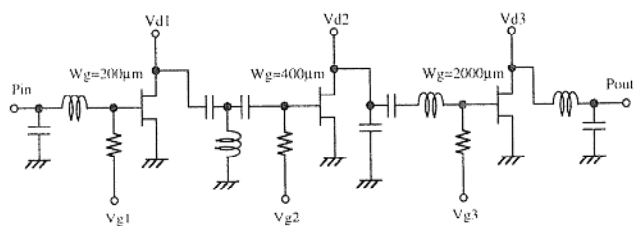
パワーアンプMMICは、3段カスケード構成とし、ゲート幅200μm、400μmと2mmのFETと入力、段間および出力整合回路を集積している。最終段のFETのゲート幅は、出力21.5dBm時に低い隣接チャンネル漏洩電力を維持しながら低消費電流になるように決定した。

図6に本MMICのチップ写真とその回路図を示す。チップサイズは1×2mm<sup>2</sup>である。

(MMIC特性)



(a)



(b)

図6 単一電源 PHS 用パワーアンプ MMIC の (a) チップ写真と (b) 等価回路

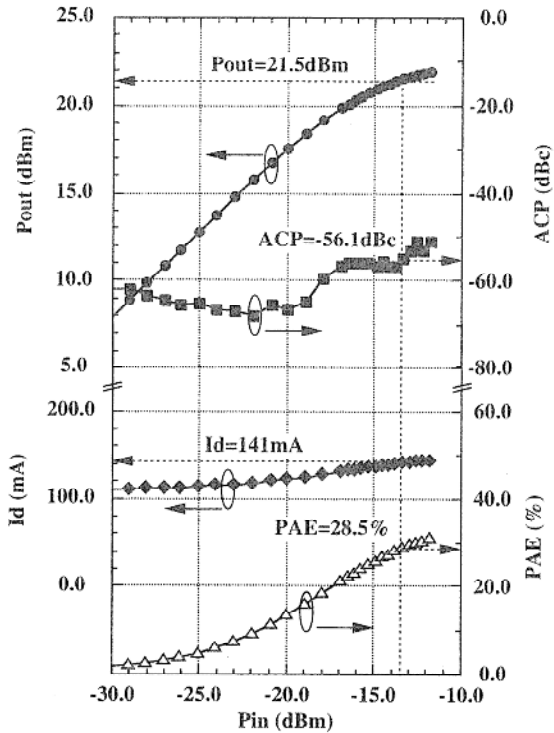


図7 単一電源 PHS 用パワーアンプ MMIC の入出力特性

試作した MMIC の入出力特性を図 7 に示す。電源電圧 3.5V の単一電源動作で、出力 21.5 dBm 時に隣接チャンネル漏洩電力 -56.1 dBc、141 mA の低消費電流を実現している。この時、アイドル電流値は 110 mA である。この電流値は、従来報告されている単一電源動作 PHS パワーアンプ MMIC の中で最も低いものである。利得は 35.1 dB、電力付加効率 28.5% (出力 21.5 dBm 時) が得られている。

### 3.3 セルラー用受信フロントエンド MMIC

当社では、アナログ IC 用に開発した 1.0  $\mu\text{m}$  WSi ゲート  $n^+$  層非対称 LDD (Lightly Doped Drain) 構造セルフアライン (SA) FET プロセスを用いて、デュアルゲート FET で構成した低消費電力で優れた高周波特性を有する受信フロントエンド MMIC を開発<sup>6)</sup>しているが、ここでは、新規技術を導入して、更に高性能化を図った MMIC について述べる。

(MMIC プロセス技術)

図 8 に MMIC に用いた FET と容量素子の断面構造図<sup>7)</sup>を示す。FET のゲート長は、0.5  $\mu\text{m}$  で WSi/Ti/Pt/Au の多層構造とし、ゲート抵抗の低減を図っている。さらに従来の 1.0

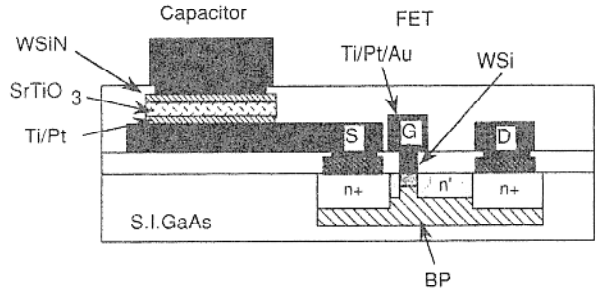


図8 0.5  $\mu\text{m}$  WSi ゲート  $n^+$  層非対称 BP-LDD 構造 FET と  $\text{SrTiO}_3$  薄膜容量素子の断面構造図

$\mu\text{m}$  WSi ゲート FET の場合と同様に、 $BV_{gd}$  向上のために  $n^+$  層非対称 LDD 構造と、新たにショートチャンネル効果抑制のための  $p$  層埋込み (BP: Buried P-layer) 構造を用いた  $n^+$  層非対称 BP-LDD 構造となっている。埋込み  $p$  層には Mg イオンを用い、FET のチャンネル層は、25 keV-SiF 分子イオン注入 (15 keV-Si イオン注入と等価) を用いてチャンネル層の薄層高濃度化を図っている。典型的な FET の伝達特性を図 9 に示す。  $V_{th} = -0.64\text{V}$  の時、  $K = 366\text{ mS/Vmm}$ 、  $g_{m\text{MAX}} = 290\text{ mS/mm}$  の優れた特性が得られている。  $BV_{gd}$  も 15V 以上の高耐圧が得られている。S パラメータ測定より得た FET の遮断周波数 ( $f_T$ ) の最大値は 22 GHz、最大発振周波数 ( $f_{\text{MAX}}$ ) の最大値は 70 GHz で、従来の 1.0  $\mu\text{m}$  ゲート FET に比して  $f_T$  で約 10 GHz、  $f_{\text{MAX}}$  で約 20 GHz の高性能化が図られている。

もう 1 つの新規技術は、高誘電率材料である  $\text{SrTiO}_3$  (STO) 薄膜を用いた大容量素子<sup>2)</sup>であ

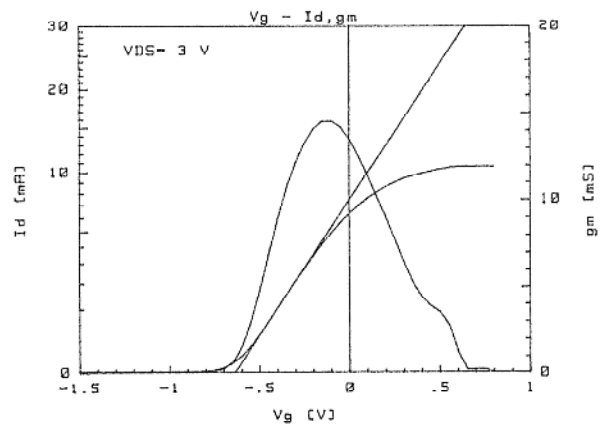


図9 0.5  $\mu\text{m}$  WSi ゲート  $n^+$  層非対称 BP-LDD 構造 FET の DC 伝達特性

る。STO 薄膜は、すでに形成されているFETの特性が劣化しないように、300℃以下の低温RFスパッタリング法を用いて形成している。STO 薄膜容量素子の下層金属にはTi/Ptを、上層金属には密着性と熱的安定性を考慮してWSiNを用いた。STO 薄膜の厚さは300nmを用い、この場合、比誘電率は約100で、通常用いられるSiN膜の約7に比して14倍の高い値が得られている。また、リーク電流密度は、 $1 \times 10^{-6} \text{A/cm}^2$  (1MV/cm印加時) と低く、実用上十分な値である。

この技術により、従来のSiN膜を用いたMIM容量では、大面積を要するために内蔵不可能であった数10pF～数100pFの大容量値のバイパス容量をMMICに内蔵可能としている。

(MMIC回路設計)

図10は、受信フロントエンドMMICの構成

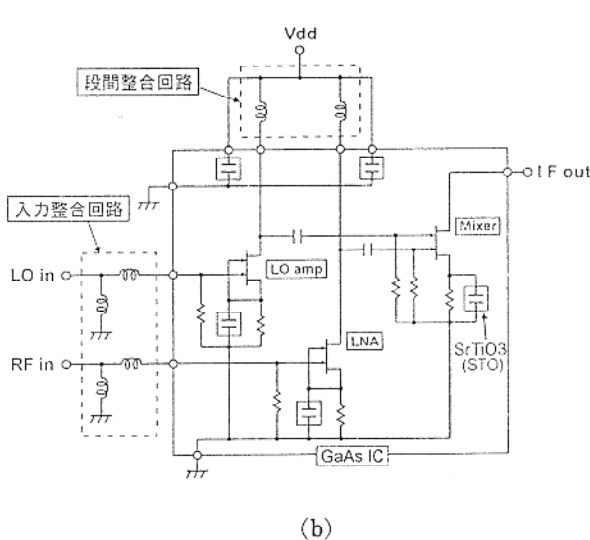
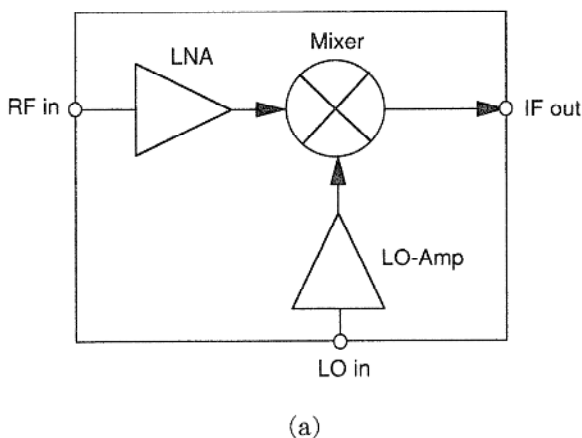


図10 受信フロントエンドMMICの (a) 構成図と (b) 等価回路

とその回路図を示す<sup>8)</sup>。ICは、低雑音増幅器(LNA)、ローカル増幅器(LO-Amp)、ミキサ(Mixer)を1チップ化したものである。デュアルゲートFETを基本回路とし、各増幅器、ミキサのバイパス容量、段間整合および入力DCカット容量にSTO 薄膜容量素子を用いている。通常用いられる外付けのチップ容量の場合に比して、寄生インダクタンスが低減され、高周波特性の向上が図れる。

LNAとLO-Ampの場合、第2ゲートを高周波的に接地することにより、帰還容量を低減し、出力から入力への逆方向アイソレーションを確保している。ミキサには、ソース接地のデュアルゲートFETによるシングルエンドミキサを用いた。第1ゲートにLNA出力、第2ゲートにLO-Amp出力が、容量を介して接続されている。この構成の特長は、回路構成が単純であるため、低消費電力化が容易であること、LNA、LO-Ampとの高インピーダンス接続が可能であること、端子間のアイソレーションが十分に確保できること、および高い変換利得が得られることである。

また、本MMICでは、段間整合回路と入力整合回路により、イメージ信号抑圧を行う方法<sup>6)</sup>を採用しているため、通常用いられる段間フィルタなしで高いイメージ信号抑圧比を得ることができ、部品点数削減による低コスト化、および実装面積の削減が可能である。

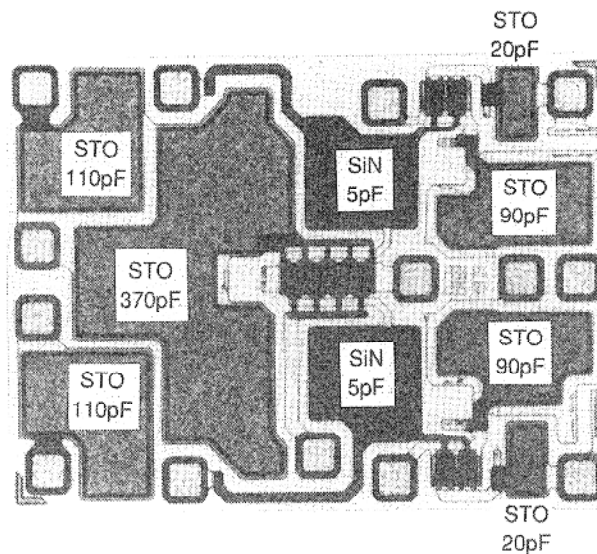


図11 受信フロントエンドMMICのチップ写真

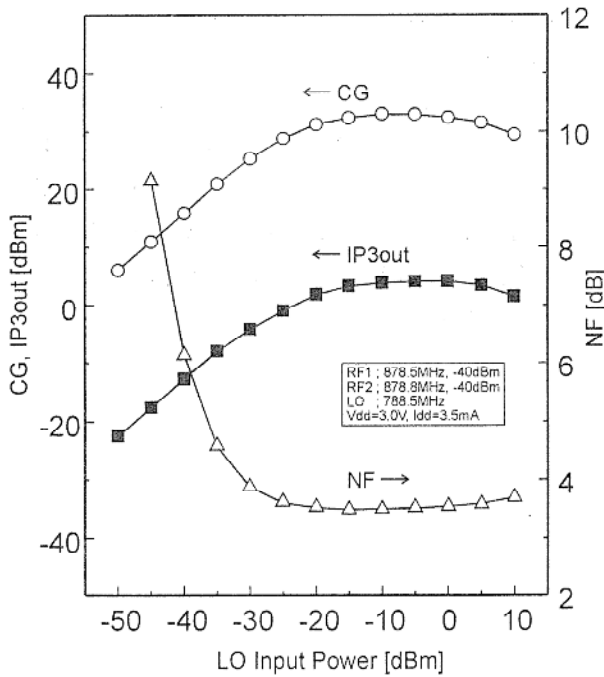


図12 受信フロントエンドMMICの880MHz帯における変換利得, 3次出力インタセプトポイント, 雑音指数のLO入力レベル依存性

図11に本MMICのチップ写真を示す。チップサイズは $0.8 \times 1.0 \text{ mm}^2$ である。

(MMIC特性)

試作したMMICの880MHz帯の高周波特性の一例を図12に示す。変換利得(CG), 3次出力インタセプトポイント(IP3(out)), および雑音指数(NF)のLOレベル依存性を示すものである。-15dBmの低いLO入力レベルで32dBの変換利得と3.5dBの低雑音指数が得られている。本MMICは, 周辺回路の変更により, より高い周波数帯においても使用可能であり, 1.5GHz帯では, -10dBmのLO入力レ

表1 受信フロントエンドMMICの800MHz帯と1.5GHz帯における特性

周波数帯	880MHz	1.5GHz
変換利得	32dB	30dB
雑音指数	3.5dB	3.8dB
IP3 (out)	3.0dBm	2.0dBm
アイソレーション(LO to RE)	>30dB	>25dB
イメージ抑圧比	>25dB	>20dB
電源電圧	3.0V	
消費電流	3.5mA	

ベルで30dBの変換利得と3.8dBの低雑音指数が得られている。両周波数帯において, 電源電圧は3.0Vで, 消費電流は3.5mAと低電圧・低消費電流特性が得られている。表1に本MMICの880MHz帯と1.5GHz帯における高周波特性をまとめる。

4. ま と め

移動体通信用GaAs MMICについて, 最近の開発例も交えて紹介した。低電圧・低消費電流で高効率・低雑音・低歪みといった高性能の特長を活かして, GaAs MMICは今後とも移動体通信携帯端末の小型・軽量・省電力化に大いに貢献していくものと考えられる。今後, 移動体通信システムは, マルチメディア化, 準マイクロ波帯からミリ波帯への高周波化へとますます発展していくと考えられる。これらの要望に応えるため, 今後のデバイス開発は, ヘテロデバイス等を用いた能動素子の更なる高性能化, 受動素子(特にインダクタ)の小型化等によるMMICの更なる低コスト化が課題となろう。

参 考 文 献

- 1) S. Nagata, T. Ueda, A. Noma, H. Koizumi, K. Kanazawa, H. Ishida, T. Ueda, T. Tanaka, D. Ueda, M. Kazumura, and G. Kano, IEEE ISSCC Digest of Tech. Papers, p.172 (1993).
- 2) M. Nishitsuji, A. Tamura, T. Kuni-hisa, K. Yahata, M. Shibuya, M. Kitagawa, and T. Hirao, IEEE GaAs IC Symp., Tech. Digest, p.329 (1993).
- 3) 「第二世代コードレス電話システム標準規格第1版(RCR STD-28)」財団法人電波システム開発センター(1993).
- 4) T. Kuni-hisa, T. Yokoyama, H. Fujimoto, K. Ishida, H. Takehara, and O. Ishikawa, IEEE Microwave and Millimeter-Wave Monolithic Circuits Symp., Digest, VI-3, p.55 (1994).
- 5) T. Yokoyama, T. Kuni-hisa, M. Nishiji-ma, S. Yamamoto, M. Nishitsuji, K. Nishii, M. Nakayama, and O.

- Ishikawa, IEEE 1996 GaAs IC Symp., Tech. Digest, p.107 (1996).
- 6) H. Sakai, A. Tezuka, Y. Mori, M. Sagawa, T. Katoh, J. Itoh, and K. Fujimoto, Int. Symp. GaAs and Related Compounds, Karuizawa, 1992.
- 7) M. Nishitsuji, T. Uda, T. Yokoyama, K. Fujimoto, K. Nishii, M. Shibuya, M. Kitagawa, and A. Tamura, Semicond. Sci. Technol., Vol.10, p.1534 (1995).
- 8) T. Nakatsuka, J. Itoh, S. Yamamoto, T. Yoshida, M. Nishitsuji, T. Uda, K. Nishii, and O. Ishikawa, IEEE Microwave and Milimeter-Wave Monolithic Circuits Symp., Digest, V-5, p.85 (1995).

