



技術解説

VLSI技術の動向と今後の課題

今井正治*

1. はじめに

最近、ちょっとした古代史ブームなのだそうである。筆者も何冊かの本を読んだ。その中の1冊に、グラハム・ハンコック氏の「神々の指紋」という本がある。「神々の指紋」の主要なテーマは、世界各地に残っている古代遺跡の起源についての議論である。古代遺跡の中で特に有名なものは、エジプトのギザにあるピラミッドとスフィンクスであろう。

グラハム・ハンコック氏によれば、ピラミッドやスフィンクスが造られたのは従来の定説である紀元前2500年ころではなく、紀元前1万400年ころであるとのことである。「神々の指紋」では、このことから、現在の文明よりもはるか以前に、現在の文明よりもはるかに優れた技術を持った文明が存在していた、という結論になっている。

さて、グラハム・ハンコック氏の仮設の妥当性はともかくとして、ピラミッド自体の建造技術の水準については驚かされる。さすがに世界の七不思議の一つと言われるだけのことはある。たとえばギザの大ピラミッド(通称「クフ王のピラミッド」)は次のような外観を持っている(文献¹⁾第33章および²⁾第2章)。

(1) 建設当時の高さは146.70m(現在の高さは

137.28m)である。

- (2) 各斜面は、ほぼ正確に基本方位(東西南北)を向いている。平均誤差はわずかに約3分(0.015%)である。
- (3) 底面の各辺の長さは、北辺が230.25m, 西辺が230.35m, 東辺が230.39m, 南辺が230.45mである。最長の辺と最短の辺の差はわずかに20cm(0.1%以下の誤差)しかない。
- (4) 建設に使用された石材は、平均約2.6トンの石灰岩のブロック約250万個、合計で650万トン以上もあると推定されている。(200トン以上の重量を持つ石材も使われている。)
- (5) それぞれのブロックの加工精度は非常に高く、ブロックとブロックの隙間はほとんどない。

これらの数値を見せられると、グラハム・ハンコック氏ならずとも、従来の正統エジプト学者の主張に対する素朴な疑問を持たざるを得ないであろう。すなわち、鉄器すら持っていなかった紀元前2,500年ころのエジプト人たちに、このような大規模かつ精密な建造物を作る能力があったのであろうか。現代の土木建築技術をもってしても、これだけの規模の建造物を完成させるのは決して容易ではないと思われる。このような建造物が、誰によって何のために作られたのかが気になる。やはり、現代よりも優れた科学技術を持った「超古代文明」が、今から1万2千年以上も前に存在していたのであろうか。

前置きが長くなってしまった。大きさという点では全く対照的であるが、現在のVLSI(Very Large Scale Integration)もピラミッドに迫る複雑さを持っている。本稿では、VLSI技術の現状について解説し、21世紀に我が国が

*Masaharu IMAI
1950年11月20日生
1979年名古屋大学大学院工学研究科博士課程修了(工学博士)
現在、大阪大学大学院基礎工学研究科、情報数理系専攻教授
TEL 06-850-6623
FAX 06-850-6627
E-Mail imai@ics.es.osaka-u.ac.jp
URL : <http://vlsilab.ics.es.osaka-u.ac.jp>



生き延びるための今後の課題について私見を述べさせていただきます。

2. VLSI 製造技術の現状

半導体集積回路(IC: Integrated Circuit)が製造されるようになったのは1960年代の初めである。また、この技術を用いてマイクロ・プロセッサが初めて作られたのは、1971年である。したがって、VLSI技術はたかだか40年弱の歴史しか持っていないのであるが、これほど技術の進歩が激しい分野は他には見当たらない。

たとえば、1971年に製造された世界最初のマイクロ・プロセッサ(インテル社 i4004)の集積度は、わずかに2,300トランジスタに過ぎなかったのであるが、現在製造されている最先端のマイクロ・プロセッサの中には、930万トランジスタの集積度に達する製品(DEC社 Alpha 21164)もある。ちなみに、最近のパソコンで良く使われているインテル社の Pentium と PentiumPro の集積度はそれぞれ、310万、550万(トランジスタ)である。図1に、これまでに開発されて来た主要なマイクロ・プロセッサの集積度の変化を示す。

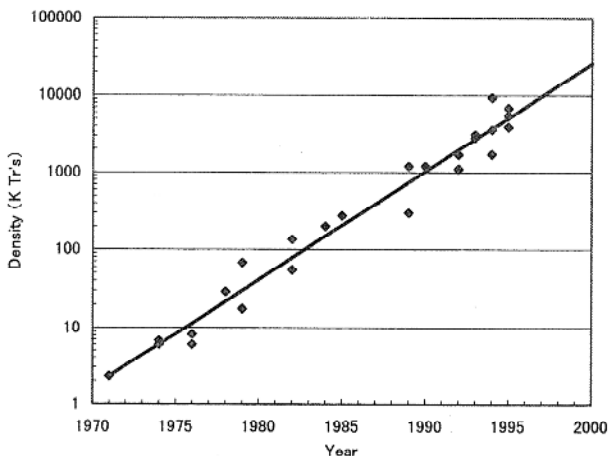


図1 主要なマイクロ・プロセッサの集積度の推移

この様に急激な集積度の向上を可能にしたのは、集積回路の製造技術、とりわけ製造精度が向上したことが最大の要因である。集積回路の製造精度は集積回路を構成する部品や配線の最小の幅(通常は最小のトランジスタのゲート長)で表現される。1960年代に集積回路が初めて製造されたときには、製造精度は数10 μm で

あった。この大きさは、女性の髪の毛の太さと同程度である。現在の最先端の商用マイクロ・プロセッサの製造精度は、0.35 μm である。(ちなみにこの大きさは「ウイルス」と同程度であるから、いかに精密な製造技術であるかが想像出来よう。)したがって、この30年ほどの間に加工精度がおよそ200分の1に改善されたことになる。図2に、主要なマイクロ・プロセッサの製造精度の推移を示す。

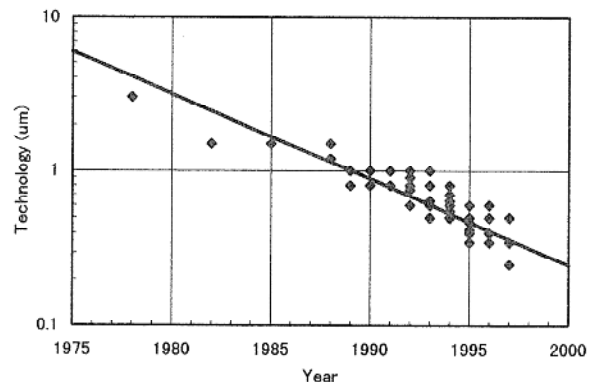


図2 主要なマイクロ・プロセッサの製造精度の推移

さて、製造精度が高くなり、部品をより微細に作製できるようになると、その回路の動作周波数も改善される。信号の伝播遅延時間とトランジスタのスイッチング遅延の時間が短くなるからである。ちなみに、現在の商用マイクロ・プロセッサの中には、数100 MHzで動作する製品もある。この周波数は、テレビのUHF放送で用いられている電波の周波数とほぼ同じである。集積回路は、すでに超高周波で動作しているわけである。

集積回路の集積度のこのような増大は、今後少なくとも10数年の間は現在と同様の傾向で続くと見られている。21世紀の初頭にかけてのVLSIの製造技術の動向を図3に示す。この図からわかるように、21世紀の初頭には集積度が1億トランジスタの大台に乗る。また、動作周波数も1GHz程度になる。これは、衛星放送や携帯電話で用いられている電波の周波数とほぼ同じである。

この様な技術を用いると、これまで多数の集積回路チップを用いて実装されていた複雑な電子システムが、1個のVLSIチップによって実

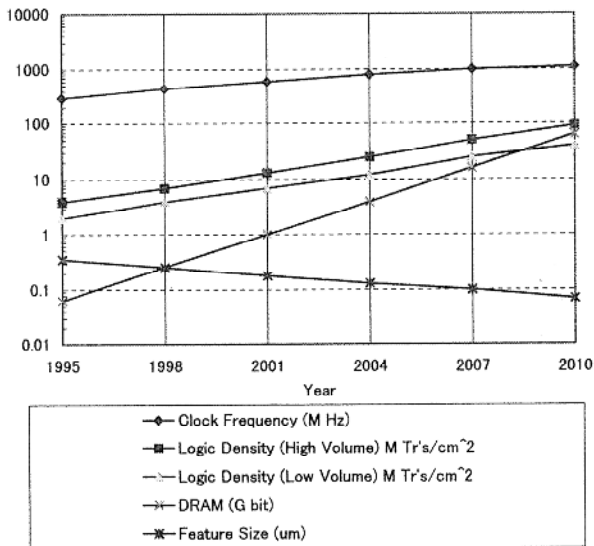


図3 VLSI 製造技術の将来動向

現できるようになる。いわゆる「System on Chip」が実現される。たとえば、動画像や音声データの圧縮・伸長などの機能を備えた、いわゆるマルチメディア処理向きの高性能なマイクロ・プロセッサも容易に1つのチップに入ってしまう。

個別の技術的な課題は存在してはいるものの、VLSI 製造技術に関しては、これからの見通しは明るいと言えよう。

3. VLSI 設計技術の現状

前節では、21世紀の初頭に1億トランジスタの集積度を持つVLSIが製造可能になるという見通しについて述べたが、設計技術に関しては、どうであろうか。実はなかなか難しい問題が待ち構えている。

せっかくピラミッドを造るのに適した石灰岩や大理石を産する山々があり、これらの岩石に精巧な加工を施すための道具が与えられたとしても、ピラミッドそれ自体の設計ができる人と設計者が用いる計算の道具がなければ、ピラミッドを造ることは出来ないのと同じである。今後のVLSI 設計技術にとっては、次の点が問題となりつつある。

- (1) 数千万から数億個ものトランジスタから構成されるVLSIは、現在の設計手法を用いて設計することは可能であろうか？
- (2) もし現在の設計手法では設計が不可能だと

すると、これを可能にするためにはどのような設計手法を開発すべきであろうか？

これらの問題の発生には次の様な背景がある。まず、前節で述べた様に、VLSIの集積度は依然として急速に増大しつつある。1971年の時点での集積度(2千300トランジスタ)と1996年の時点での集積度(930万トランジスタ)を比較してみると、この25年で集積度が約4千倍に増えていることがわかる。VLSIの集積度は、今後も10年以上の間、同様なペースで増えてゆくと予想されている。ところが、人間の設計管理能力には限りがあるので、設計効率を集積度の向上と同程度以上に高めていかなければ、いずれ設計が出来なくなってしまう。この問題は、Design Productivity Crisis(設計生産性危機)と呼ばれている。以下では、この問題を解決する方法について考えてみる。

3.1 現在の設計手法で設計は可能か？

現在実用化されている、VLSIの設計フローを図4に示す。この図に示すように、VLSIの設計は仕様の作成から始まり、集積回路の製造情報であるマスク・パターン作成で終わる。破線は設計の「手戻り」を表わしている。

1960年代から1970年代の初めにかけては、マスク・パターンの設計は人手で行われていた。

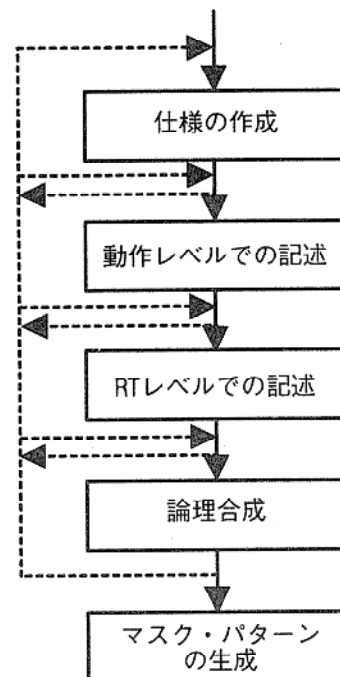


図4 VLSIの設計フロー

しかし、集積度が向上するにつれて、マスク・パターンの設計は徐々に自動化されていった。当初は、方眼紙の上にマスク・パターンを書き、「ルビー・ペーパー」と呼ばれる赤色のフィルムをカッターナイフで切って作成していたのであるが、コンピュータのグラフィック機能を用いてマスク・パターンを設計し、製造情報も磁気媒体に直接出力できるようになったのである。

1990年代の初めのころまで、VLSIの設計は主として論理回路図を用いて行われていた。論理回路図は、熟練したハードウェア技術者が直感的に理解しやすいという利点を持っている。当時はまだ、論理合成技術が普及していなかった。論理合成とは、論理式などで表現された設計記述から論理回路の接続情報を自動生成する技術である。

設計自動化関係の研究者の間では論理合成の有効性は認められていたものの、現場の技術者はなかなかこの技術を使いたがらなかったのである。現場の設計者からは、しばしば「私の方がゲート数が少なく、かつ高速に動作する回路を設計できる」という意見が聞かれた。この主張は一面では当たっている。小規模な回路では、人間のエキスパートの経験と直感に基づく発見的な設計方法の方が、論理合成ツールを用いるよりも良い設計結果になる場合がある。

しかし現在ではむしろ、論理合成技術を全く用いないで人手のみによって設計されるVLSIは皆無であると言ってよい。論理合成技術がこのように普及した最大の理由は、設計対象の回路規模が年々増大したためである。すなわち、最適な設計を人手で行うために長い時間と労力をかけるよりも、準最適な設計を計算機を用いて短期間で行う方が戦略として良い、という判断である。特に製品の開発期間が短い場合には、これは的確な判断であろう。

同様の議論は、かつてソフトウェアの世界でも起きた。コンパイラの採用である。現在のコンパイラは、エキスパートがアセンブリ言語で記述するのに比べて10～30%程度遅いコードを生成すると言われていたが、開発効率は10倍程度向上する。その結果現在では、計算機の基本ソフトであるOSですら、その大部分が高

水準言語(コンパイラ言語)で記述されている。

現在では論理合成技術よりも更に進んだ、「高位合成」技術が用いられている。この技術では、論理合成技術の場合よりもさらに1段階抽象度が高い「レジスタ・トランスファ」と呼ばれるレベルで記述されている。レジスタ・トランスファとは、データの流れに着目した記述である。これによって設計の記述量が減り、設計の生産性が高くなった。

さて、先ほどの問題に戻ろう。最初の問題の答えは、NOである。設計最適化の問題の多くは、設計の規模に対して計算時間が指数関数的に増大することが知られている。最適解をあらかじめ準最適解でがまんするとしても、計算時間は設計の規模の2乗から3乗程度は必要である。その結果、回路規模が2倍になるとすると、同じ設計手法で設計すると、4倍から8倍の計算時間が必要になることになる。確かに計算機はかつてよりも相当に高速化されたが、計算時間の延びの方が、計算機の高速化の程度を上回っている。

この問題の困難さは、単に長い時間がかかる、という点だけではない。人間が設計する以上、人間が管理できる規模の中で設計を行わないと、設計そのものが収束しないというやっかいな問題がある。すなわち、設計の複雑さ(設計に用いられる「部品」の個数で表現できる)がある限度を越えると、その設計は永遠に完了しない。すなわち、設計プロジェクトそのものが破綻をきたすのである。

3.2 設計を可能にする手法は何か?

第一の問題に対して否定的な解しかないとなると、第二の問題の答えを探さなくてはならない。先ほどの議論からすると、設計の効率を上げるためには、設計の抽象度を上げて設計の記述量を減らすことが重要である。ここから類推からすると、設計の抽象度をレジスタ・トランスファ・レベルよりも高いレベルにあげる必要がある。より抽象度が高い記述レベルはいくつか考えられるが、そのうちの一つは、「アーキテクチャ・レベル」である。アーキテクチャ・レベルでの記述は、VLSIの大まかな構造と動作の記述である。

もう一つの候補は、機能レベルである。この方法では、どのような構造の回路で実現するかは気にしない。「これこれの機能が欲しい」ということを言語で記述し、その記述から回路を生成するという方法である。

現在、主にこれら2つの面から研究開発が進められている。近い将来、これらの研究成果にもとづいて設計効率を飛躍的に向上できる設計手法が開発されてゆくのは間違いない。

もう一つの有効な方策は設計資産の再利用である。十分に検証された(枯れた)部品をできるだけ多く用いて設計を行えば、設計工数が削減できる。設計資産の再利用を有効に行うためには、機能やインタフェースの標準化が必要である。このような観点から、設計資産の再利用を有効に進めるために、VSI(Virtual Socket Interface)アライアンスという組織が作られた。この動きがどの程度成功するか、今後のVLSIの設計やVLSIビジネスにどの程度のインパクトを与えるかについての評価は、もう少し時間が必要であろうが、注目すべき動きであるのは確かであろう。

4. 今後の課題

前節では、設計効率を高めるためには設計の記述の抽象度を向上させる必要があると述べた。設計記述の抽象度を高めないと設計効率が改善できないのは確かではあるが、ここに少しやっかいな問題がある。設計記述の抽象度を高くすると、設計の上流工程で設計の品質(チップ面積、性能、消費電力など)を予測するのが困難になる。

特に、ディープ・サブミクロン技術の製造プロセスを用いた場合には、VLSIの性能を支配する遅延時間(動作周波数)の性質がこれまでとは異なるという事が知られている。すなわち、これまでではトランジスタのスイッチングの遅延時間が配線による遅延時間よりも支配的であったが、ディープ・サブミクロン技術を用いて製造された集積回路では、これが逆になり、配線遅延が支配的になる。その結果、これまでの性能の見積もり方法では必要な見積もり精度が確保出来なくなる。消費電力の見積もりに関して

も、同様の問題がある。

この問題を解決するためには、設計の初期の段階(上流工程)で、各コンポーネントの配置とそれらの間の配線の容量(キャパシタンス)を見積もる必要がある。このアプローチは、フロアプラン指向設計手法と呼ばれている。このアプローチについての研究開発も活発化しつつある。

おわりに

「はじめに」で述べたピラミッドの建造が驚異的な仕事であると感じたのは、巨大な岩石を加工したり運搬したりした、という点ももちろん含まれる。しかし、これらよりも更に驚異的な点は、このような巨大プロジェクトを(おそらく長い年月にわたって)管理運営出来たという点であろう。優れた科学技術と工作機械を持っている現代人にとっても、あれだけの巨大な構造物をあれだけの精度で製造するのは非常に困難であろう。

VLSIもそのような複雑なシステムになりつつある。かなり以前から言われているように、半導体技術は産業の米である。我が国が電子立国を続けるためには、これまでとは異なる新しい問題、すなわち設計の困難さを解決するとともに、柔軟な発想を持った創造性にあふれる設計者を育成する必要がある。この点において、大学が果たすべき役割りは非常に大きいと感じている。

米国では、1980年代の当初から、大学で設計された集積回路を、非常に安価に試作するサービス機関(MOSIS: MOS Implementation Service)が設立され、活発に運用されている。欧州でも同様の組織がほぼ米国と同時期に設立された。これらの集積回路試作機関の果たした役割は、非常に大きい。我が国でも、ようやく昨年になって、東京大学に大規模集積システム設計教育研究センター(通称VDEC)が設立され運用が開始されたことは、大いに評価されるべきである⁵⁾。これにより、21世紀の我が国を支える人材育成を行うためのハード面での基盤が準備出来たことになる。今後は、大学でのVLSI設計教育のソフト面での充実(教育者の育成、教材および教育方法の開発)が望まれる。

この様な教育を行うためには、大学の努力だけでは十分ではない。実際にVLSIの設計、製造を生業としている「デンキ」(電気、電器、電機)関連の企業と大学との協力関係の強化が必要である。これも、産業の空洞化が進んで危機的な状況に陥りつつある我が国が21世紀に生き残るために必須の要件である、と筆者は考えている。関係者のご理解とご協力を切にお願いしたい。

参 考 文 献

1) グラハム・ハンコック著, 大地舜訳: 神々

の指紋, 翔泳社, 1996年.

2) ロバート・ボーヴァル, エイドリアン・ギルバート著, 吉村作治監修, 近藤隆文訳: オリオン・ミステリー, NHK出版, 1996年.

3) SRC Management Plan, Part IIA: Research Strategy, Semiconductor Research Corporation, August 1995.

4) SRC Management Plan, Part III: Research Operations, Semiconductor Research Corporation, July 1995.

5) URL: <http://www.vdec.u-tokyo.ac.jp>

