

# “その場”VLSI評価テスト支援のための 逆設計システム



研究ノート

中前幸治\*

## VLSI Chip Reverse Engineering System for “In-Situ” VLSI Evaluation and Test

**Key Words** : VLSI, reverse engineering, in-situ evaluation and test, image processing

### 1. はじめに

集積化技術の進歩に伴い、VLSIの機能が高度化し、動作が複雑化・高速化するにつれて、VLSIの評価・テストは極めて困難な状況になってきている。このため、VLSIの評価・テストには、内部配線の電位波形を直接観察することができ、しかも計算機援用設計(CAD)データベースと連結が可能な、CADリンク電子ビーム(EB)テストシステム<sup>1)</sup>が必須の装置として利用されている。このCADリンクEBテストシステムでは、回路の物理的な配置を示すレイアウトデータ、回路の接続情報を示すネットリストデータ、回路図および評価対象の実デバイスが相互にリンクしている。これにより、どのデータから観測位置を指摘しても実デバイスの該当部分の評価・テストが行えるようになって

いる。

しかしながら、高集積化されたVLSIは、あらかじめセルとして定義した基本的な回路ブロッ

クを階層的に積み上げることにより設計を行うのが通常である。その結果、レイアウトデータおよびネットリストデータとして、セルを基本としたデータしか得られない場合が多い。これらのデータをセルレベルの下の最下層のトランジスタレベルまで拡張するには、多大な労力を必要とする。一方、CADリンクEBテストシステムでは、最下層のトランジスタレベルのCADデータを必要とする。

このような状況下では、VLSIチップそのものからCADデータを抽出する、いわゆる“逆設計”の考え方に基づいた、VLSIチップの“その場”評価・テストシステムが非常に有効であると考えられる。本稿では、この“その場”評価・テストシステムを支援するために開発している逆設計システムを紹介する。

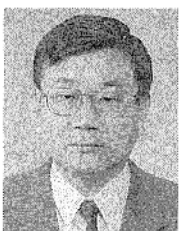
### 2. 逆設計システムの概要

逆設計システムでは、EBテストシステムとリンクした深さ方向に分解能を有する光学顕微鏡を用いて観測対象のVLSIチップの画像を獲得する。獲得した画像を用いて、あらかじめ構築した知識ベースから回路機能の認識を行い、評価・テストに必要とするCADデータを取得。

通常、VLSIは各種機能を持った回路ブロックから構成され、その機能に応じて異なった設計手法を用いて設計される。このようなVLSIの回路認識には、設計手法に応じて構築した知識ベースを、認識する回路ブロックに応じて切り替えることが効率的であると考えられる。こ

\*Koji NAKAMAE  
1954年3月22日生  
昭和57年大阪大学大学院・工学  
研究科・電子工学専攻博士後期課  
課程修了

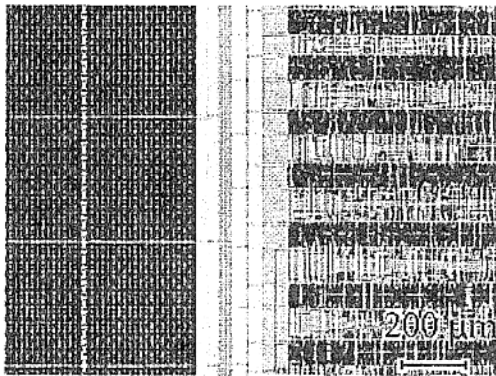
現在、大阪大学大学院、工学研究  
科、情報システム工学専攻、助教  
授、工学博士、情報システム工学  
TEL 06-879-7811  
FAX 06-879-7412  
E-Mail nakamae@ise.eng.  
osaka-u.ac.jp



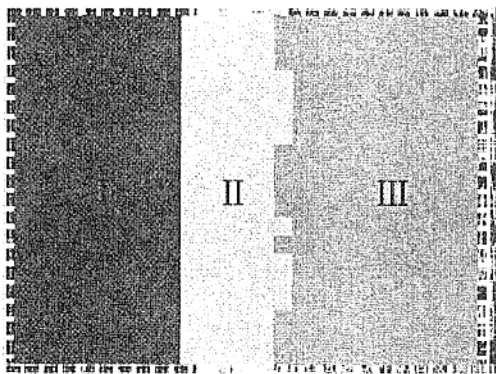
のため、逆設計システムを、画像獲得、獲得画像の回路ブロックへの分割及び設計手法の認識、ならびに、設計手法に応じて構築した知識ベースによる回路認識から構成している。

### 3. VLSI 観測画像の回路ブロックへの分割及び設計手法の認識

VLSI の設計手法には、フルカスタム設計、



(a) 観測画像



(b) 領域分割結果

図1 フラクタル次元解析による領域分割

標準セル設計、Sea-of-Gate 設計、及びメモリ設計等があり、それぞれ独自のレイアウト構造を持っている。このような設計手法を用いた回路ブロックを光学顕微鏡で観測すると、そのレイアウト構造からそれぞれ独自のテクスチャ画像を形成すると考えられる。

テクスチャ解析の新たな視点として注目されているフラクタル次元解析を用いて領域分割した結果<sup>2)</sup>を図1に示す。図1(a)が観測画像で、(b)が領域分割結果である。分割された3つの領域が、左から右の順にフラクタル次元からRAM 設計部(I)、配線領域(II)、そして標準セル設計部(III)であると正しく認識された。

### 4. 知識ベースによる回路認識

ここでは、標準セル設計のVLSI回路を対象とした回路認識システム<sup>3)</sup>を紹介する。

図2に回路認識システムを示す。処理手順を次に示す。

#### 1. 観測画像の取得

図3に示すように標準セル設計の回路ブロック内は、基本単位となるセルが一行に隣接して並んでいる領域(セル列領域)とセル間を接続している配線が存在する領域(配線チャンネル領域)の二つに分けることができる。まず、光学顕微鏡を用いてセル列領域と配線チャンネル領域の画像を取得する。このとき、第2層AI配線に焦点を合わせて取得する。

#### 2. 観測画像からの配線パターン抽出

観測画像の二値画像から配線パターンを長方

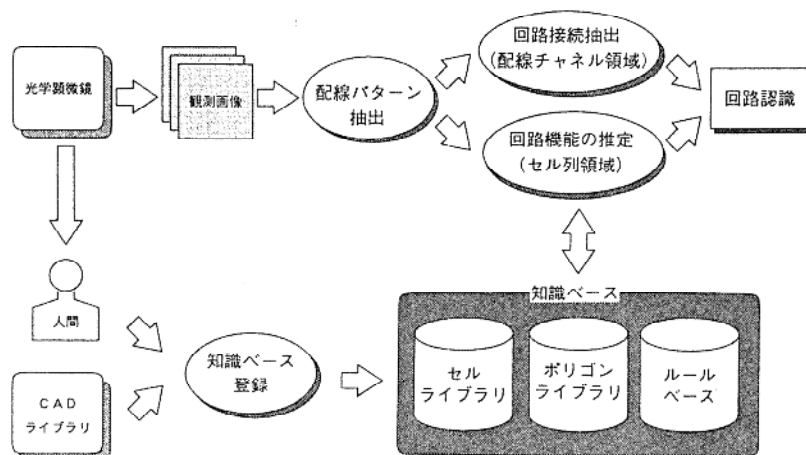


図2 回路認識システム

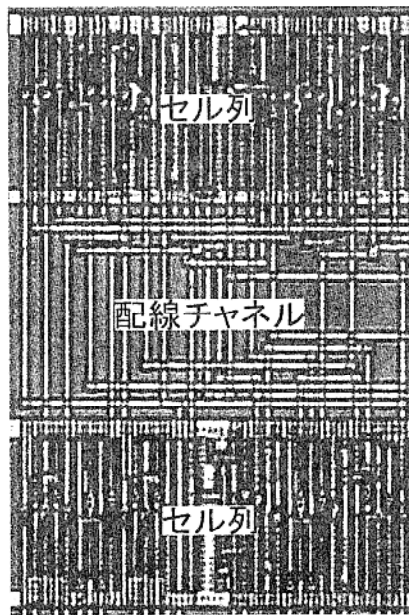


図3 2層AI配線標準セル設計回路ブロックの一部の画像

形ブロックの集合として抽出する。このとき、第1層AI配線と第2層AI配線を区別するために、各長方形ブロックに対してエッジの明確度を表すパラメータ(エッジ強度)を付加する。

### 3. セル列、配線チャンネル領域の認識

抽出した配線パターンと知識ベースを用いて、セル列領域でセル(回路機能)を、配線チャンネル領域で配線(回路接続)の認識を行う。

### 4. セル間接続の認識

セル列領域、配線チャンネル領域の個々に認識した回路情報に観測画像の獲得位置の情報を加えることにより、回路を認識する。

なお、知識ベースは、セルライブラリ、ポリゴンライブラリ、およびルールベースから構成されている。セルライブラリには、各セルの論理情報および幾何学的情報(入出力位置、含まれるポリゴンの情報)が格納されている。ポリゴンライブラリは、各レイヤー、形状ごとにポリゴンが分類され、各ポリゴンデータには、標識番号、サイズ、形状情報(長方形ブロックの個数と位置)、コンタクト情報(コンタクト個数と位置)が与えられる。ルールベースは基本セルレイアウトのデザインルールおよび観測画像

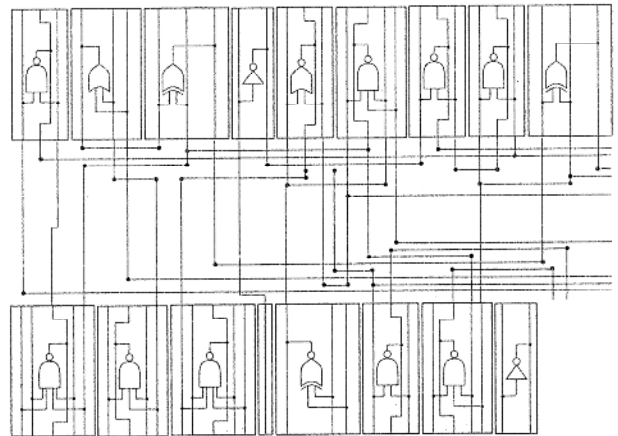


図4 認識結果

の配線パターンの特徴から作成している。例えば、セルの高さ、配線幅、配線間隔、コンタクト形状である。

回路認識プログラムを図3に適用した結果を図4に示す。これから、16の基本セルとその相互の接続が認識出来ていることがわかる。

## 5. おわりに

VLSIチップそのものからCADデータを抽出する、いわゆる“逆設計”の考え方に基づいた、VLSIチップの“その場”評価・テストシステムを支援する逆設計システムを紹介した。今後は、現在対応していない他の設計手法の知識ベースを構築し、逆設計システムを完成させ、VLSIチップの“その場”評価・テストシステムを構築する予定である。

## 参考文献

- 1) H. Fujioka, K. Nakamae, IEICE Trans. Electron. E77-C, 4, 535-545 (1994).
- 2) 松本, 中前, 藤岡, LSIテストニングシンポジウム(学振第132委員会第132回), 138-143 (1995).
- 3) 横山, 中前, 藤岡, LSIテストニングシンポジウム(学振第132委員会第132回), 144-149 (1995).