

## 次世代宇宙通信向き誤り訂正符号用 復号器のVLSI化設計

特集 プロジェクト研究

尾上 孝雄\*, 白川 功\*\*

VLSI Architecture for Next Generation Space Communication

Key Words : VLSI, Space Communication, Viterbi,  
Reed-Muller, Error Correcting Codes

### 1. はじめに

プロジェクト研究特集という執筆の機会を頂いた  
ので、われわれが現在取り組んでいる次世代衛星通  
信システムのための誤り訂正符号復号器のVLSI化  
設計について、その概要を述べる。

マルチメディア時代が本格化するにつれて、われ  
われを取巻くネットワーク環境も大きく変貌しよう  
としている。例として挙げるまでもなく、学術研究  
や技術開発を主目的として利用されてきた計算機ネッ  
トワークは、WWWに後押しされた形で、われわれ  
の日常生活にまで広くかつ深く浸透し、端点での通  
信容量は旧来の細々としたものから、動画、音声を  
始めとする大量のデータを取り扱う高速大容量の形  
態へと急速に進化している。

同様に、テレビ放送に関しても、目覚ましい発展

を垣間見ることができる。1963年に最初の太平洋  
横断テレビ衛星中継が行なわれ、John F. Kennedy  
暗殺のニュースが伝えられてから35年、衛星技術  
は広く普及し、現在では離島を含む日本全国および  
東南アジアの一部の国でBS放送の受信が可能になっ  
ている。その契約世帯数は1998年夏に900万世帯  
を突破した。さらに近年では、衛星放送もデジタル  
化と映像圧縮技術により、通信帯域の有効利用が  
図られ、100チャンネル規模の同時放送が行なわれ  
ようとしている。

人工衛星を用いた通信の特長は、光ファイバが基  
本的に一对一の通信を対象としているのに対し、多  
点への一斉放送が可能なことである。これは前述の  
衛星放送のほか移動体衛星通信や公衆通信サービ  
スなどに容易に活用ができ、特に山間部や過疎地の多  
いわが国には適した通信手段である。

さて、現在われわれが取り組んでいる研究開発は、  
人工衛星同士の通信、すなわち衛星間通信、向きの  
要素技術である誤り訂正符号の復号用プロセッサの  
設計に関するものである。衛星間通信は、今後の宇  
宙活動に不可欠であり、わが国でも、静止軌道上の  
データ中継衛星と中高度の地球観測衛星や宇宙ステ  
ーションの間の通信への運用が計画されている。

米国航空宇宙局(NASA)では、1960年代から地球  
観測や宇宙ステーション等のミッションを遂行する  
ユーザ衛星と地球局との間の通信を静止衛星経由で  
行なうデータ中継衛星システム(TDRSS: Tracking  
and Data Relay Satellite System)を計画してい  
る。本計画では、21世紀に向けた、広帯域・高速・  
大容量の通信を実現すべく、毎年新しい人工衛星を  
打ち上げる予定になっている。

このような高速大容量通信で必須となるのが高品質  
な通信回線である。そのための対策として、アンテ



\*Takao ONOYE  
1968年5月9日生  
1993年大阪大学・大学院工学研究科・  
電子工学専攻博士前期課程修了  
現在、大阪大学・大型計算機センター  
研究開発部、講師、博士(工学)、  
情報工学  
TEL 06-6879-8792  
FAX 06-6879-8794  
E-Mail onoe@center.osaka-u.ac.jp



\*\*Isao SHIRAKAWA  
1939年9月12日生  
1968年大阪大学・大学院工学研究科・  
電子工学専攻博士課程修了  
現在、大阪大学・大学院工学研究科情  
報システム工学専攻、教授(大阪大学  
大型計算機センター長)、工学博士、  
情報工学  
TEL 06-6879-7805  
FAX 06-6875-5902  
E-Mail sirakawa@ise.eng.osaka-  
u.ac.jp

ナ技術や様々な伝送技術の改善とともに、誤り訂正符号技術が大きくクローズアップされている。この衛星間通信向けの誤り訂正符号の研究開発については、われわれのグループは目下、奈良先端科学技術大学院大学の嵩忠雄教授(現在、広島市立大学)のグループ、および米国ハワイ大学のShu Lin教授のグループと共同で行なってきた。われわれが担当しているのは、主に誤り訂正符号の復号器のVLSI化設計である。

## 2. Reed-Muller符号の最尤復号アルゴリズム

Lin教授の研究グループがNASAに対して提案している符号は、NASA標準の(225, 223) Reed-Solomonコードを外部符号とした、内部符号としての(64, 40) Reed-Muller部分符号である。Reed-Solomon符号はパースト的な誤りに耐性があり、通信時の外部符号として適している。一方、Reed-Muller符号は、比較的簡単なトレリス構造を持ち、VLSI化に適した符号として注目されている。これら符号の利用によって、NASAが想定している通信速度は、960 M BPSKsymbols/s、すなわち、600 Mbpsにも及ぶ。

上述のように、Reed-Muller符号はそのトレリス構造によりVLSI化に適しているが、これはあくまで一般論である。符号長が64ビット、伝送レートが600Mbpsともなると、そのトレリス構造は複雑となり、ハードウェア化を考えた場合には、複雑度を低減させる新たな手法が必要となる。

Reed-Muller符号(あるいはその部分符号)は、一般に、トレリスダイアグラムを利用した最尤復号アルゴリズムで復号される。ここで用いられる最尤復号アルゴリズムは、トレリスダイアグラムにおける開始状態から終了状態へのパスの中で、受信符号に対して最も距離の短いパス(生き残りパス)を検出するものである。ただし、受信符号に対する「距離」とは、ダイアグラムの中の各枝のラベルと受信符号情報との絶対値差分と考えて差し支えない。

最尤復号アルゴリズムとして、最も良く用いられているのがViterbiアルゴリズムである。このアルゴリズムでは、開始状態から終了状態までにおけるすべてのパスを順次探索し、生き残りパスの検出を行うというものである。しかしながら、各セクションにおいて全状態に対する枝メトリックの演算が必要となるため、演算量は膨大となる。このViterbi

アルゴリズムの演算量はトレリスの分割に大きく依存するため、トレリス構造の最適化に関して多くの研究がなされている。近年、コード長が64ビットの実用的な符号を用いたViterbiアルゴリズムの復号法に関して、いくつか研究報告がなされているが、効率の高い復号処理を行うためには、トレリス構造をさらに一層簡易化するなどの工夫が必要である。

この問題に関して、嵩教授の研究グループが考案した再帰的最尤復号アルゴリズムは、線形符号のトレリスダイアグラムにおいて、あるセクションの枝メトリック演算と比較が他のセクションと独立に実行することが可能であることに着目している。このアルゴリズムでは、セクションを再帰的に分割しそのサブトレリスのメトリックを演算することによって、全体の演算量を大幅に削減している。

## 3. VLSIアーキテクチャ

最尤復号アルゴリズムではACS(Add-Compare-Select)処理を繰返し演算することにより、誤り訂正を施した符号復号を実行する。換言すれば、このACS処理をいかに効率よく演算するかということがVLSI化の際の最重要課題となるのである。

前述のように、再帰的最尤復号アルゴリズムは、規則的かつ並列性の高いトレリス構造を持つために、復号化を行うハードウェアの共有化およびパイプライン処理に適しているという特長を持つ。また、各セクションを並列に処理するアーキテクチャを採用することにより、複数のシンボルを同時に入力することが可能となるため、1シンボルずつ逐次入力する必要があるViterbi復号器よりも小面積かつ高速なハードウェア実装を行うことが可能である。実際に、Viterbiアルゴリズムと同様の(64, 40) Reed-Muller部分符号を復号するという研究報告では、本来32チップで(64, 40)復号器が構成可能な(64, 35) Reed-Muller部分符号復号器を、帯域確保だけの目的で32チップ4並列で動作させ、128チップでシステム構築を検討している。これに対して、本研究で述べるものは、(64, 35)復号器32チップで(64, 40)復号器が構成可能である。

図1に、本研究で取り扱う(64, 35) Reed-Muller部分符号のトレリスダイアグラムを示す。本トレリスダイアグラムは4セクション構造であり、各セクションは16ビットで構成されている。開始状態( $S_0$ )から終了状態( $S_r$ )までの状態数はそれぞれ、1, 64,

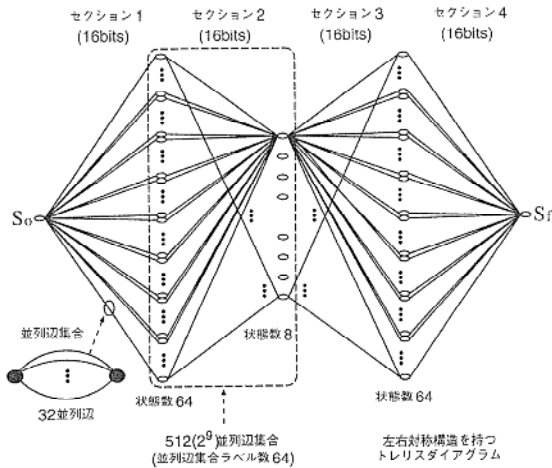


図1 (64, 35) Reed-Muller 部分符号のトレリスダイアグラム

8, 64, 1である。本トレリスは対称構造を有しており、再帰的最尤復号アルゴリズムが適用可能である。

この符号に対して、図2に示すように、6階層に再帰的分割演算処理を行なう。ここで、 $CBT_{x,y}$ は時刻xから時刻yへの枝メトリック演算処理を示している。図2からもわかるように、同一レベルに対する枝メトリック処理は全く同じ演算を行なう。例

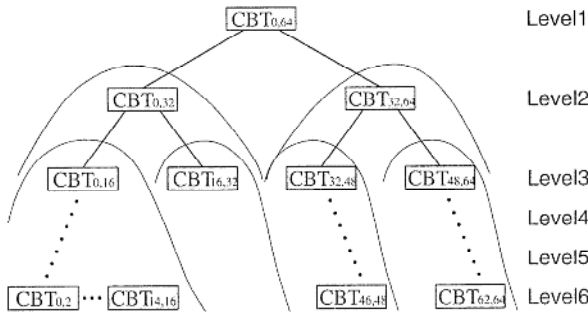


図2 (64, 35) 符号に対する再帰処理

例えば、 $CBT_{0,32}$ と $CBT_{32,64}$ は同一の階層構造を持ち、さらに、 $CBT_{0,16}$ 、 $CBT_{16,32}$ 、 $CBT_{32,48}$ 、 $CBT_{48,64}$ も全く同一の階層構造を持つ。

このことから、再帰的最尤復号アルゴリズムの復号器は、セクション毎に並列処理を行ない、階層レベルをパイプライン化するアーキテクチャを用いるとACS回路を有効に活用できることがわかる。本研究では、図3に示すように、最上位レベル、2番目のレベル、およびその他のレベルの3階層でパイプラインを実装し、各レベルでは1つの演算器を時分割で共有するアーキテクチャを採用している。こ

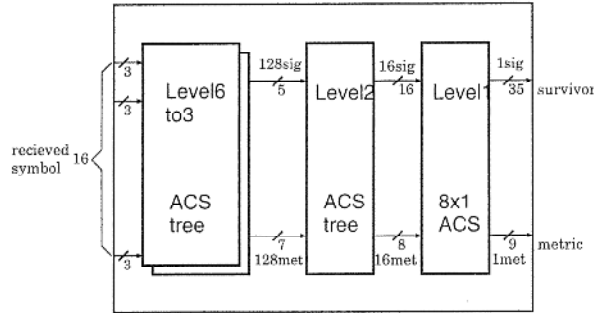


図3 (64, 35) 復号器の全体構成

れは、すなわち、図3中のLevel6to3回路は4倍速、Level2回路は2倍速で動作させ、上位階層に対し滞り無く演算結果を供給するという機構を実現している。この場合、各演算回路の中身は、ほとんどが加算器、比較器、マルチプレクサで実現される。詳細については割愛する。

本復号器を0.6ミクロン3層CMOSテクノロジー

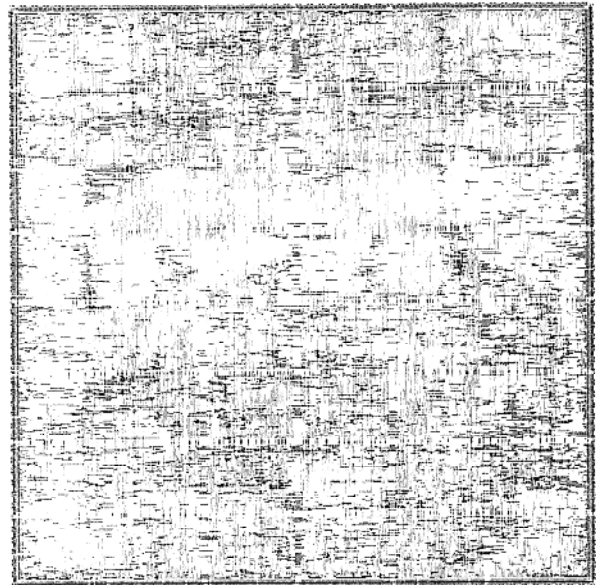


図4 (64, 35) 復号器のレイアウトパターン

表1 (64, 35) 復号器の諸元

テクノロジー	0.6μm 3層メタルCMOS スタンダードセル
面積	12.3mm × 12.3mm
ゲート数	202, 550
クリティカルパス	13.38 ns/28.54 ns/60.84 ns

によって実現した。レイアウトパターンを図4に、諸元を表1に示す。試作チップは1998年11月に完成予定である。60,30,15MHzの3つの動作クロックを用いて動作させることにより、1チップでのI/Oレート、2,880Mbps, 525Mbpsを達成している。

この復号器を32並列で動作させることにより、NASAの要求している600Mbpsの速度を満たす(64,40)符号復号システムが実現可能である。

#### 4. お わ り に

本文では、われわれが取り組んでいる次世代衛星通信向きの誤り制御符号復号器のVLSI化設計について述べた。本研究の一部は、平成8年度より10年度までの通信・放送機構からの「創造的情報通信技術研究開発推進制度」の委託研究(課題名：高速高信頼性衛星通信システムに関する研究)として遂行していることを付記し、貴重なご援助を賜りました通信・放送機構に深謝の意を表します。また、この執筆の機会を賜りました本学工学研究科電子工学専攻尾浦憲治郎教授に深く感謝の意を表します。