

大阪大学大学院工学研究科電子情報エネルギー工学専攻



研究室紹介

谷口研二*

Department of Electronics and Information Systems,
Graduate School of Engineering, Osaka University

Key Words : Integrated Circuits, Reliability, Analog Circuit, Simulation

1. はじめに

文部省が提唱した大学院重点化構想に沿って、平成8年、電子情報エネルギー工学専攻が設置されてほぼ4年になる。この専攻は従来の専門分野に細分化された研究組織を横の糸でつなぎ、学際的な教官と学生を育成することを目的として始まった。数年経過して、この専攻も独特のカラーを持つ組織になってきた。当初は教官一人と電子工学科に属する数名の学生と一緒に始めた本研究室も、今では松岡講師、鎌倉助手を含めて30名を越す大所帯になった。本研究室の3人の教官はすべて民間企業経験者という特殊事情のため、比較の実用技術に近いテーマを研究している。すなわち、コンピュータや携帯電話などで広く利用されている半導体集積回路をテーマに、それに関わる様々な基盤技術の研究を進めている。

2. 研究内容

本研究室では半導体集積回路の製造技術、信頼性、回路設計の研究を行っている。具体的な研究テーマは下記の通りである。

- (1) 並列データ処理プロセッサ用インターフェース回路の開発
- (2) 携帯電話を支える高周波回路の設計

(3) アナログ集積回路の設計技術

(4) 集積回路をコンピュータ上で模擬的に試作するプロセス・デバイスシミュレーション技術

(5) MOS型集積回路の心臓部である酸化膜の信頼性評価

上記(1)の並列処理インターフェースは1本の配線に複数のビットデータを符号分割方式で重畳させて送受信する新しい集積回路チップ間の通信インターフェースである。送信側はビットデータを配送先のコードで変調してバスラインにデータを送る。複数の送信器から同時に送られたデータはバスライン上で重畳されて離散的なアナログ信号となる。受信器側では予め決められたコードでバスラインの信号を変調すると、送られてきた信号だけが自動的に復調される仕組みとなっている。この方式では、多数のデータをバスライン上に同時に配送しても、それぞれデータの行き先が予め決まっているので、互いにデータが混じり合うことはない。基本的な動作原理は携帯電話で使用されているCDMA(Code Division Multiple Access)方式を有線データバスに適用したものである。

それと並行して(2)の無線版のCDMAチップ間インターフェース回路も開発している。このテーマは日本学術振興会の未来開拓学術研究推進事業として受託したものである。本研究室ではこの無線通信インターフェースを安価に製造するための基盤回路技術を立ち上げている。将来、オフィスや家庭で使用される電気製品の大半はBluetoothで代表される無線LANでつなぐれ、相互データ通信が可能となる。このためには今日のMOS型集積回路を支えるCMOS技術で無線回路を作り上げることが市場の要請となる。無線技術の研究は40年以上も前の真空管時代に発展した技術であるが、ここ20年ほどはエレクトロニクスのデジタル化の流れに乗れず、停滞

* Kenji TANIGUCHI
1948年1月2日生
1973年大阪大学大学院工学研究科・
電子工学専攻修士課程修了
現在、大阪大学大学院・工学研究科・
電子情報エネルギー工学専攻、教授、
工学博士、アナログ集積回路設計・
半導体デバイスの物理・集積回路製
造プロセスシミュレーション・半導
体デバイスの信頼性
TEL 06-6879-7791
FAX 06-6879-7792
E-Mail taniguti@eie.eng.osaka-
u.ac.jp



していた技術分野である。しかし、MOS素子の微細化の急速な進展によってMOS素子もGHz程度の高周波回路に応用できることが示されて以来、この分野の研究・開発が急速に進んだ。特に5GHz程度の周波数でデータを送ることを前提とすれば、シリコンチップ上に1.5～3cmの短いアルミ線を伸ばすだけでアンテナとしての機能を果たす。このため簡単に集積回路から電波を飛ばし隣接する集積回路チップにデータを転送することができる。

3番目の研究テーマはアナログ回路の基本であるアナログ・デジタル変換器(Analog-Digital Converter), フェーズ・ロックド・ループ(PLL: Phase Locked Loop), オペアンプ(Operational Amplifier)などの回路設計である。この研究分野は国内外の半導体企業で製造されている製品と競合するため、極めて高い技術力が要求される。研究室では単なる既存アナログ回路の最適化ではなく、新しいアイデアに基づくアナログ回路の設計と、試作したチップの性能評価に注力している。そのため、研究室ではアナログ集積回路の設計を行ったあとマスクデータに展開し、そのデータを東京大学の大規模集積システム教育研究センター(VDEC)に送る。VDECでは他の大学で設計されたマスクデータを集めてマルチチップマスクを作り、(株)ロームの協力の下に集積回路の製造が行われ、3ヶ月後にチップとなって大学に返送されてくる。本研究室はVDECの関西拠点校(関西の高専、大学のまとめ役)としての役割を担っており、出来上がったチップのテストができる環境を整えている。

4つ目の研究テーマは、半導体集積回路の製造プロセスの最適化をコンピュータ上で行うための不純物原子拡散のモデリングである。従来、経験と勘に頼って半導体の製造を行ってきた企業の技術者も昨今の複雑な集積回路の製造工程に対しては最適なプロセス条件を見つけることが困難になってきている。この集積回路製造プロセスの最適化を机上で行うにはシミュレーションプログラムに正しい物理モデルを組みこむことが必須となる。研究室では様々な条件下で実験を行い、不純物分布を2次イオン質量分析装置で測定し、その結果をもとに簡単なモデル式を作りあげる。半導体中の電子の挙動をシミュレーションする場合と異なり、原子の動きはまだ十分には理解されていない。このため、想像もつかない実験結果が得られることが多い。しかし、大学まで解

答のある問題ばかり解いてきた大学生にとってはこの種の研究テーマにどう対応してよいか分からないようである。

5つ目の研究テーマは、MOS集積回路の心臓部であるゲート酸化膜の信頼性評価である。最近、最先端の集積回路で用いられているゲート酸化膜の膜厚は3nm程度まで薄くなっている。チップ全体の寸法を10万倍すると、集積回路の一辺は1kmとなる。このときゲート酸化膜厚さは0.3mm厚である。言い換えると、最先端のLSIでは0.3mm厚のラップシート(ゲート酸化膜)を1km四方(チップ全体)に広げて孔が全くないことが要請される。ゲート絶縁膜に孔が一箇所でも開けば、集積回路は不良品となるので当然、孔の発生を極力抑えなければならない。本研究では半導体メーカが作製した集積回路に長時間電圧を印加し続けたとき、酸化膜が徐々に劣化し終には酸化膜が破壊するメカニズムの解明を行っている。この結果、極薄の酸化膜では従来の厚い絶縁膜の破壊メカニズムとは異なっていることが解ってきた。

3. 回路設計教育について感じたこと

5年前、東京大学大規模集積システム設計教育研究センター(VDEC)が設立され、国内の大学でも集積回路の設計教育ができる準備が整った。しかし、集積回路の設計をした経験のない大学教官が学生に対して設計教育をすることは土台無理で、全国の大学の若手教官が中心となって自然発生的に電子メールを介した教育システムが出来上がってきた。すなわち、設計を始めた学生が解らないことに出くわすとメールに質問事項を流すだけで、全国の大学の若手教官や大学院生がそれに回答をする仕組みが自然にできた。しかもこのQ&Aの様子は24時間体制でメイリングリストに載った全国の回路設計者に即座に伝わるため、無数に飛び交ったメールの束は設計者(学生)の共有の知的財産となった。

本研究室はこのVDECの近畿支部としてアナログ回路の分野でその役割の一部を分担している。現在、私は研究室に配属された学部4年生にアナログ回路の教育をしているが、彼等にとってアナログ回路の習得はかなり厳しいようである。これは回路設計を行うために習得すべきソフトウェアツールが多数あり、しかも集積回路チップにまで作り上げるためには(株)ローム社の特殊な製造プロセスまで覚えなけ

ればならないからである。このように、膨大な知識が要求されるアナログ回路の設計を始めた4年生は1年間かけて試行錯誤を繰り返しながらスキルアップを図ってゆく。ただ、4年生の段階で研究レベルの仕事をするには極めて難しく、テキストや論文に掲載された回路図を基にその中で使われているデバイスの寸法を最適化して満足していることが多い。この意味では専門学校教育の延長となる危険性をはらんでいる。アナログ回路の研究は思考実験を繰り返して頭の中で最終的な回路構成を見積もれるので、優秀な技術者なら比較的簡単に仕様を満たす回路を作ることができる。このプロセスは、詰め将棋や詰め碁の世界に似ている。しかし、その一方で時間を費やしても答えが得られない泥沼状態に陥る学生も多いことは事実である。学生の将来を考えると、回路シミュレーションに頼り切ったアナログ回路の設計を行うより論理的に回路設計を行う方法論を教育する必要があると考えている。

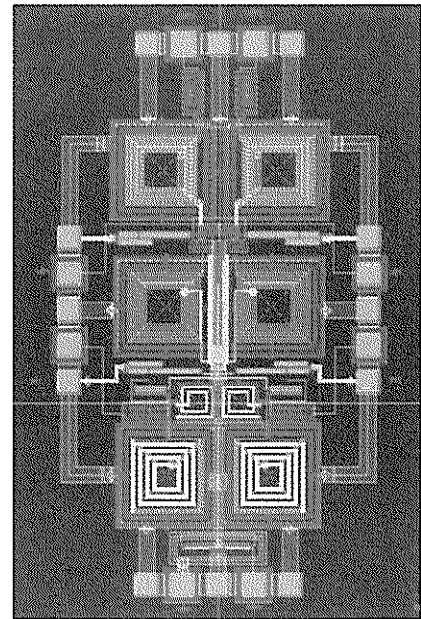


図2 設計した高周波回路。低雑音増幅器と周波数混合回路。周波数帯は2.4GHz, SOI(Silicon on insulator)基板を使用。

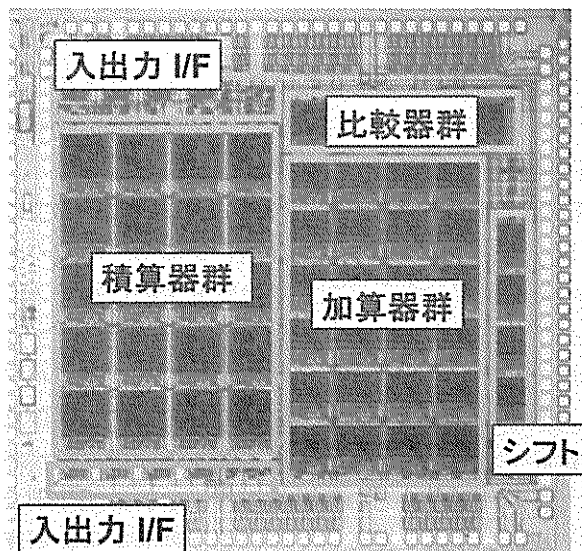


図1 CDMA有線インターフェースを使用した並列処理プロセッサ。52個の個別処理プロセッサが同時に動作しながらデータ処理を行う。

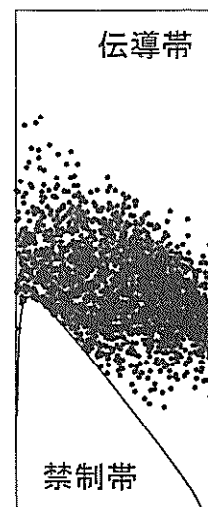


図3 高電界を印加したシリコン酸化膜中を電子が走行する様子。本研究室で開発した第1原理計算法に基づいて計算。