

# 数値制御プラズマCVMによる超薄膜SOIウエハの製作



研究ノート

佐野 泰久\*

Development of Ultra-thin Silicon-on-Insulator wafer  
by Numerically Controlled Plasma Chemical Vaporization Machining

Key Words : silicon-on-insulator, SOI, plasma CVM, thinning, atmospheric pressure plasma

## 1. はじめに

次世代半導体集積回路用の基板として、SOI(Silicon on Insulator)ウエハが注目されている。SOIウエハの構造は、図1(a)に示すように、基板となるシリコン上に埋込み酸化膜(Buried Oxide; BOX)層を介して薄いシリコン層を有しているものである。この薄いシリコン層に、図1(b)のようにMOSFET(metal oxide semiconductor field effect transistor)を構築する。このような構造にすることで、寄生容量の低減等のメリットが生まれ、より少ない電荷でデバイスを動作させることが可能になるため、高速・低消費電力デバイスが実現できる。既にIBMはSOIウエハを用いた高性能MPUを量産しており、自社のサーバーや、Apple製パーソナルコンピュータ等に搭載されている。また、“低消費電力”に注目した沖電気はSOIウエハを用いて時計用LSIを量産しており、カシオ製の多くの時計に搭載されている。

さて、半導体集積回路は、誕生した時から停滞することなく高速化・高集積化が行われてきたが、これは、一つ一つのトランジスタを絶えず微細化してきたことによる。そして今後も、半導体技術ロードマップ(International Technology Roadmap for Semiconductors; ITRS)に従い、物理的な限界に達するまで、トランジスタは微細化されてゆく。トランジスタの微細化に伴い、デバイスを形成するSOI層は、より薄いものが必要とされており、近い将来、10nmオーダの超薄膜SOIウエハが要求されている。また、ウエハ面内でのトランジスタの特性ばらつきを抑えるため、SOI層の厚さ分布が均一であることも要求されている。このような超薄膜SOIウエハを従来の方法で製作することは、極めて困難である。そこで我々は、数値制御プラズマCVM(Cheical Vaporization Machining)<sup>[1][2]</sup>によってSOIの薄膜化を行うことを提案し、超薄膜SOIの作製を試みた。また、薄膜化したSOIウエハにデバイスを形成し、その特性を評価した。

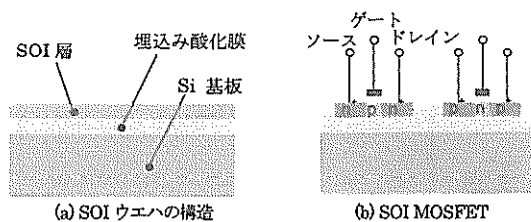


図1 SOIウエハとSOI MOSFET

## 2. 薄膜化の手順および加工装置

プラズマCVMは大気圧プラズマを用いたプラズマエッチングであり、化学的な加工法でありながら、機械加工に匹敵する加工能率と空間制御性を有している。プラズマCVMで用いる大気圧プラズマは、低圧力プラズマに比べてガス分子の平均自由行程が小さいため、プラズマが広がりにくい。そのため、プラズマの発生領域を容易に局在化でき、ウエハの大きさに対して十分小さいプラズマを発生できる。また、試料表面上のプラズマに触れている領域ではプラズマの滞在時間に比例して加工が進行する。従って、ウエハ上の各場所におけるプラズマの滞在時間を制御することで、数値制御加工が可能になる。手順として、まず、加工前SOIウエハのSOI層厚さ分



\* Yasuhisa SANO  
1969年2月生  
1993年大阪大学・大学院工学研究科・精密工学専攻(現 精密科学専攻)修了  
現在、大阪大学・大学院工学研究科・精密科学専攻、助教授、博士(工学)、超精密加工学  
TEL 06-6879-7286  
FAX 同上  
E-Mail sano@prec.eng.osaka-u.ac.jp

布を測定し、測定した厚さ分布から目標とするSOI層厚さを引くことで設定加工量分布を算出する。次に、予備実験によって取得済みの単位加工痕形状に基づきウエハ各位置での滞在時間分布を決定し、テーブル送り速度分布を算出する。そして、チャンパー内を加工ガス雰囲気中に置換してプラズマを発生させ、求めた送り速度分布に従ってテーブルを走査することで、薄膜化を実現する。

図2に開発した加工装置の概略図を示す。装置は主に、プラズマ発生用回転電極、送り速度制御可能なXYテーブル、および雰囲気ガスを置換するためのチャンパーから成る。XYテーブルのストロークは±150mmであり、回転電極は直径200mmの球の中央部50mmを切り出した形状である。加工装置はクラス1のクリーンルーム内に設置されており、超高純度ガスの供給が可能になっている。

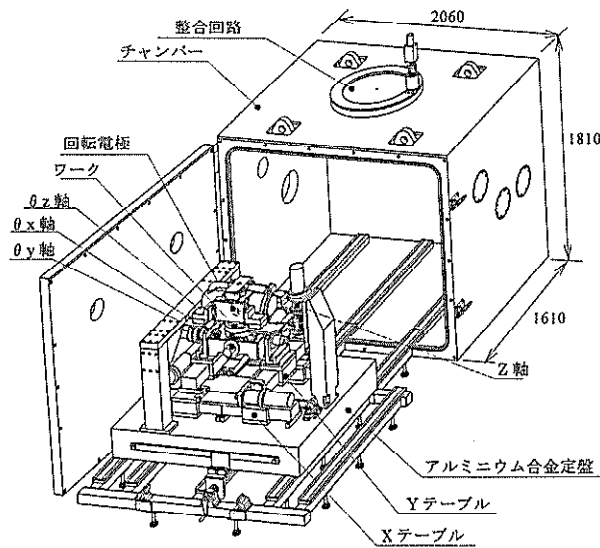


図2 数値制御プラズマCVM加工装置の概略

### 3. 超薄膜SOIウエハの試作<sup>[3]</sup>

市販SOIウエハの数値制御薄膜化を試みた。前加工SOIウエハとして、SOI層厚さ200nmの6インチUNIBONDウエハを用い、SOI層厚さを10nmオーダーまで薄膜化することを試みた。前加工SOIの厚さ分布計測結果を図3に、数値制御薄膜化後のSOI厚さ分布を図4に示す。なお膜厚は分光エリプソメトリにより5mmピッチで測定した。中心より直径120mmの領域に注目すると、初期厚さ約200nmのSOIを約13nmに薄膜化できており、膜厚のばらつきも

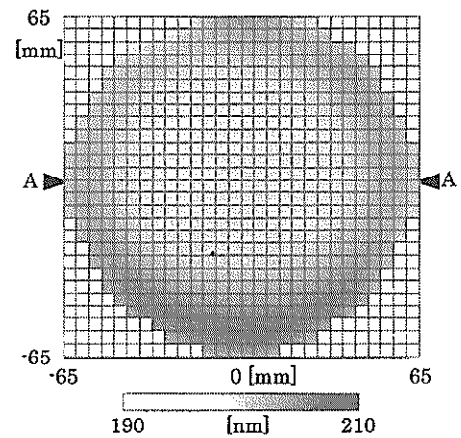


図3 加工前のSOI層厚さ分布

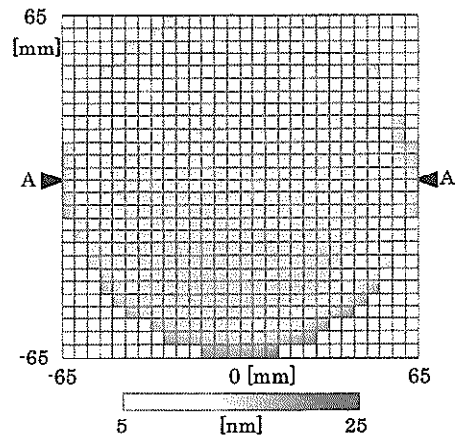


図4 加工後のSOI層厚さ分布

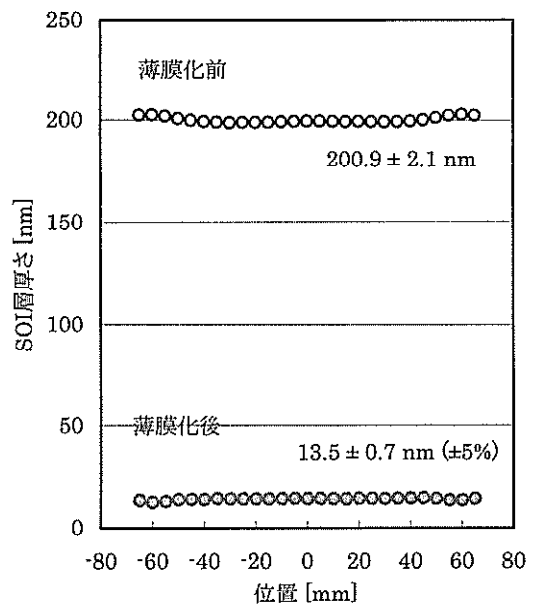


図5 図3,4におけるAA断面の厚さ分布

±4.2nmから±2.0nmへと改善できている。図5は図3,4におけるAA断面を示したものである。これを見ても薄膜化と同時に膜厚のばらつきが改善されており、数値制御プラズマCVMによってSOI層厚さを10nmオーダーまで薄膜化できることを実証した。また、薄膜化したSOIウエハの表面粗さをAFMによって観察したところ、500nm×500nmの測定領域において1.45nm PV, 0.12nm Raであった。これは、市販のシリコンウエハ表面と同等な粗さであり、プラズマCVMによって表面粗さは劣化しないことが分かった。

#### 4. 薄膜化したSOIウエハのデバイス評価

プラズマCVMによって約60nmまで薄膜化した8インチSOIウエハ、および参照用SOIウエハの全面にデバイス(MOSFETや抵抗素子)を作製し、両者の特性を比較することでプラズマCVMによって薄膜化したSOIウエハの性能を評価した。参照用SOIウエハは、SOI層表面の熱酸化と酸化膜のエッチングによってSOI層を薄膜化し、その厚さの平均値が約60nmになるように調整したものである。図6に、作製したMOSFETにおけるドレイン電流のゲート電圧依存性の一例を示す。リーク電流、立ち上がりの急峻さとも、両者で差は見られず、共に良好な特性が得られた。また、抵抗素子の抵抗値の面内分布を測定したところ、プラズマCVMによって薄膜化

したSOIウエハの方が抵抗値のばらつきが小さいという結果を得た。これはプラズマCVMによって薄膜化したSOIウエハの方がSOI層厚さ分布が均一であることによる。以上、プラズマCVMは、加工面の結晶性や清浄度を損なわない、優れた加工法であり、加工したウエハは半導体集積回路用基板として十分使用可能であることが分かった。

#### 5. まとめ

数値制御プラズマCVMによって市販薄膜SOIウエハを加工し、SOI層が10nm程度である超薄膜SOIウエハを製作することが可能であることを示した。また、本加工法によって薄膜化したSOIウエハは、半導体集積回路用基板として十分使用可能であることを実証した。現在、SOI層厚さが10nm程度である超薄膜SOIウエハ上にデバイスを形成する技術は種々の要素技術を開発中の段階である。本研究によって作製可能となった超薄膜SOIウエハが、その性能を十分に発揮できる時が早期に到来することを願って止まない。

#### 参考文献

- [1] Y. Mori, K. Yamamura, K. Yamauchi, K. Yoshii, T. Kataoka, K. Endo, K. Inagaki and H. Kakiuchi: Plasma CVM (Chemical Vaporization Machining): An Ultra Precision Machining Technique Using High-pressure Reactive Plasma, *Nanotechnology*, 4(1993)225.
- [2] 森 勇藏, 山内和人, 山村和也, 佐野泰久: プラズマCVMの開発, *精密工学会誌*, 66(2000)1280-1285.
- [3] 森 勇藏, 山村和也, 佐野泰久: 数値制御プラズマCVM (Chemical Vaporization Machining) によるSOIの薄膜化 - 加工装置の開発と超薄膜SOIウエハの試作 -, *精密工学会誌*, 68(2002)1590-1594.
- [4] 森 勇藏, 佐野泰久, 山村和也, 森田 論, 森田瑞穂, 大嶋一郎, 齊藤祐司, 須川成利, 大見忠弘: 数値制御プラズマCVM (Chemical Vaporization Machining) によるSOIの薄膜化 - デバイス用基板としての加工面の評価 -, *精密工学会誌*, 69(2003)721-725.

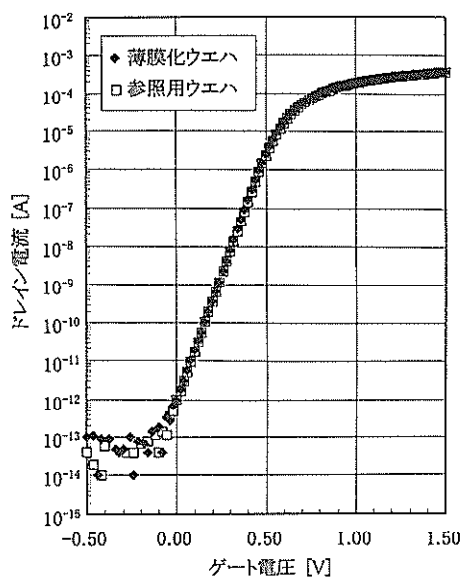


図6 作製したnMOSFETのドレイン電流-ゲート電圧特性(ゲート幅/ゲート長=10/0.35 $\mu$ m, ドレイン電圧=0.1V)