

SiO₂/Si 構造の低温創製法と半導体デバイスへの応用

研究ノート

小林 光*

Low temperature fabrication of SiO₂/Si structure and application to semiconductor devices

Key Words : MOS, TFT, LSI, low temperature oxidation, nitric acid

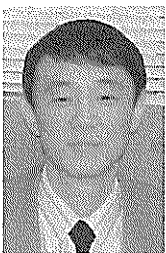
1. はじめに

SiO₂/Si構造は、大規模集積回路(LSI)、ディスプレイ駆動用の薄膜トランジスタ(TFT)、太陽電池等、種々の半導体デバイスに広く使用されている重要な構造である。LSIの基本構造は、90%以上が金属-酸化物-半導体(MOS)デバイスである。LSIの集積度の増加に伴ってMOSデバイスのゲート酸化膜の薄膜化が進行して、現在最先端のLSIでは2nm以下のゲート絶縁膜が用いられている。SiO₂膜の膜厚が2nm以上のときは、ゲートバイアス印加時にこれを流れるリーク電流密度は1A/cm²以下でありデバイス動作は可能であるが、SiO₂膜厚が1.5nm以下になった場合これを通過するリーク電流密度がデバイス動作の限界値1A/cm²(ゲートリミット)を越えてしまい、デバイス動作が不可能となる¹⁻³⁾。LSIのMOSデバイスのゲート酸化膜は、一般的にシリコンを800℃以上の高温で酸素などの酸化雰囲気中で加熱する高温熱酸化法によって形成されている。デバイスは室温で動作するため、高温でSiO₂/Si構造を形成した場合、SiO₂とSiの熱膨張係数の違いにより界面近傍にストレスが発生してシリコンダングリングボンドなど欠陥生成の原因となる。一方、我々が開発した硝酸酸化法では、120℃の低温

でシリコンを酸化してSiO₂/Si構造を創製することができる。の結果、極薄SiO₂膜を流れるリーク電流密度を、従来の熱酸化法に比べて大幅に低減することに成功している⁴⁻⁸⁾。

多結晶シリコンを用いるTFTは、ガラス基板上に多結晶シリコン薄膜を堆積して、その上にテトラエトキシシラン(TEOS)などを原料にCVD法を用いてSiO₂膜を堆積する方法で製造される⁹⁾。多結晶シリコン薄膜は、まずアモルファスシリコン薄膜をガラス基板上に堆積して、それをレーザーアニールによって結晶化することによって作製される。レーザーアニールの結果、多結晶シリコン薄膜表面には凹凸が生成し、この表面上にSiO₂膜を堆積法を用いて形成した場合、突起部での膜厚が小さくなり、そこを多量のリーク電流が流れてしまう(図1a参照)。それを防止するため、SiO₂膜厚は50nm程度と大きくする必要がある。SiO₂膜厚が大きい場合、かなりの電圧がSiO₂膜に印加されるため、TFTの駆動電圧が大きく増加し消費電力が増加してしまう。さらに、堆積法を用いた場合は堆積前のシリコン表面が堆積後にSiO₂/Si界面となり、初期汚染や界面での不完全な化学結合の形成のために、良好な界面特性を得ることができない。その上、堆積膜はポーラスであり、良好なリーク特性を得ることは困難である。

一方、硝酸酸化法はシリコンの直接酸化法であるため、凹凸のある表面にも均一な膜厚のSiO₂膜を形成できる(図1b)。さらに、直接酸化法では清浄なSiO₂/Si界面が形成できるため、良好な界面特性を得ることができる。また、硝酸酸化法で形成したSiO₂膜は非常に緻密であることがわかっている⁴⁻⁶⁾。これらの結果、TFTの処理速度の増加や消費電力の低下などの高性能化が可能となる。さらに、硝酸



* Hikaru KOBAYASHI
1956年4月生
1984年京都大学・大学院理学研究科・
化学専攻・博士後期課程修了
現在、大阪大学・産業科学研究所・
高次制御材料科学研究部門、教授、
理学博士、半導体物性、半導体材料
TEL 06-6879-8450
FAX 06-6879-8454
E-Mail h.kobayashi@sanken.
osaka-u.ac.jp

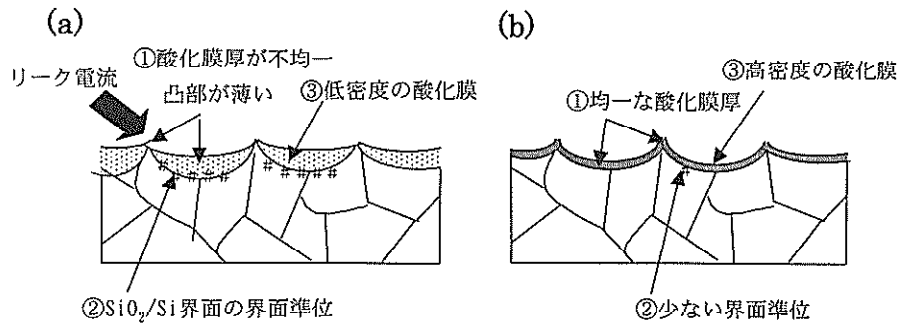


図1 TFT製造における従来の酸化膜形成法(a)と硝酸酸化法(b)の比較

酸化法では約120℃の低温でSiO₂膜を形成できるため¹⁰⁾、従来のガラス基板に替わり、PETなどの高分子材料基板の利用が可能となり、フレキシブルTFTの製造が可能となる。

2. 硝酸酸化法による極薄SiO₂/Si構造の創製

硝酸酸化では、硝酸が分解して生成する酸素原子が酸化種と考えられる。(硝酸の分解は、共沸硝酸をその沸点121℃で加熱している際に、褐色のNO₂が生成していることから明白である。)酸素原子は、非常に強い酸化力を持つために、120℃程度の低温でもシリコンの酸化が進行する。また、そのサイズが小さいために、SiO₂膜中の拡散がスムーズに起こると考えられる。硝酸の分解によって生成した酸素原子がSiO₂膜中に注入され、SiO₂中を拡散してSiO₂/シリコン界面に到達して、そこでシリコンの酸化反応が起こると考えられる。

図2に、硝酸酸化法で形成した極薄SiO₂膜を持つ<Al/SiO₂/n-Si(100)>MOSダイオードの電流-電圧(I-V)曲線を示す。SiO₂膜は、シリコンウェーハを濃度121℃で沸騰している68重量%の共沸硝酸に浸漬することによって形成した。SiO₂膜厚は、1.4nmである。矢印は、数々の論文に報告されている膜厚約1.5nmの熱酸化膜のリーク電流を示している¹⁻³⁾。SiO₂膜の形成後何も処理をしない場合(曲線a)でも、濃度68重量%の共沸硝酸で形成したSiO₂膜は、熱酸化膜よりも少し低いリーク電流密度を持つ。フォーミングガス(5%水素、95%窒素)中200℃でpost-metallization anneal(PMA)処理を行った場合、曲線bに示すようにリーク電流密度が大幅に低減した。PMA処理後のSiO₂膜厚は少し減少して1.3nmであった。その結果、1.5nm程度の

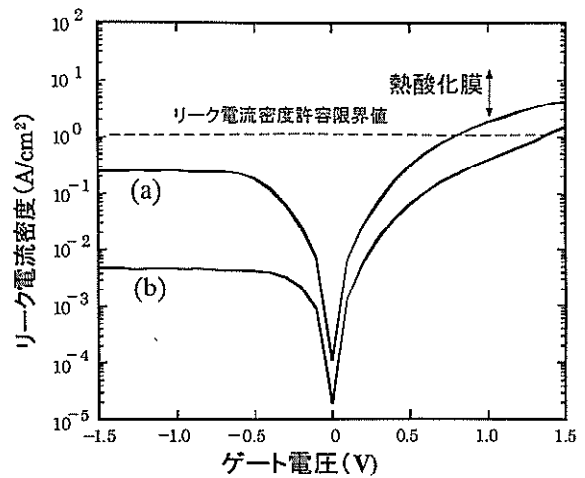


図2 硝酸酸化法で創製した<Al/SiO₂/Si(100)>MOSダイオードのI-V曲線：(a) PMA処理なし；(b) 200℃でPMA処理

膜厚を持つ熱酸化膜のリーク電流密度と比較すれば、1/4~1/20と格段に低いリーク電流密度を達成することができた。

図3に、共沸硝酸で形成したSiO₂膜を持つ<Al/SiO₂/Si(100)>MOSダイオードの電気容量-電圧(C-V)曲線を示す。共沸硝酸で形成したSiO₂膜では、PMA処理なしでもリーク電流密度が比較的 low、C-V曲線の観測に成功した(曲線a)。極薄化学酸化膜についてC-V曲線を観測できたのは、初めてである。しかし、PMA処理を施していない場合、C-V曲線にはこぶが存在して、界面準位が多いことを示す¹¹⁾。このこぶは、200℃でのPMA処理によって消失して(曲線b)、界面準位が除去されたことがわかる。したがって、PMA処理によるリーク電流密度の低減の原因の一つが、界面準位の消滅と考えられる。(界面準位に電子やホールがトラップされ、

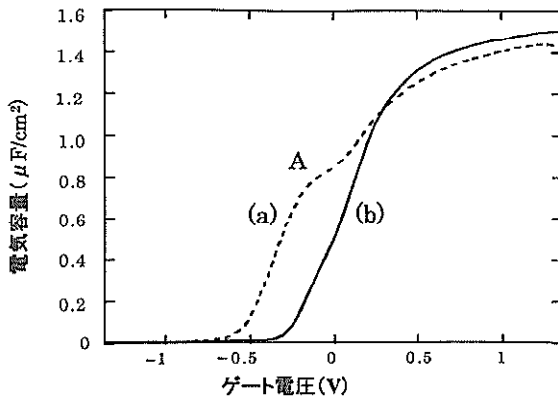


図3 硝酸酸化法で創製した $\langle \text{Al}/1.3\sim 1.4\text{nm SiO}_2/\text{Si}(100) \rangle$ MOSダイオードのC-V曲線：
(a) PMA処理無し；(b) 200℃でPMA処理

これが SiO_2 膜をトンネル的に伝導してリーク電流が流れる¹²⁾。すなわち、界面準位がリーク電流のパスとなる。）

図4に、共沸硝酸で形成した SiO_2/Si 構造の価電子帯スペクトルを示す。スペクトルaは、シリコン基板の価電子帯スペクトルである。スペクトルbとcは、観測した SiO_2/Si 構造のスペクトルから、スペクトルaを引いたものであり、 SiO_2 膜の価電子帯スペクトルとなっている。PMA処理を施さない場合(スペクトルb)、ピークAが存在する。これは、 SiO_2 バンドギャップ内に高準位密度のエネルギー準位が存在することを示す。 SiO_2 のバンドギャップ内にエネルギー準位が存在すれば、電子やホール

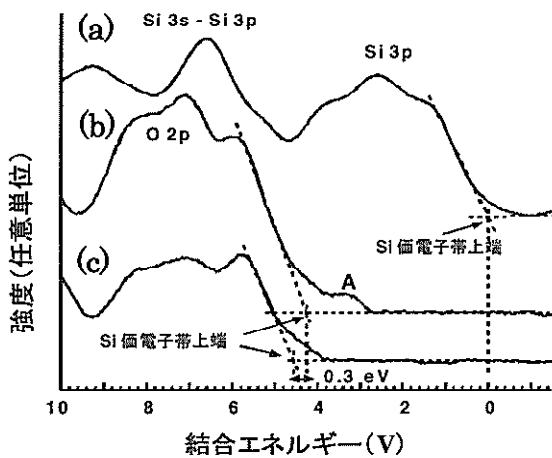


図4 硝酸酸化法で創製した SiO_2/Si 構造の価電子帯スペクトル：(a) 清浄シリコン表面；
(b) PMA処理無し；(c) 200℃でPMA処理

がこれをホッピングして伝導¹³⁾(一種のトンネル伝導)するために、リーク電流密度が増加する。PMA処理後に観測したスペクトルcにはこのピークが存在せず、 SiO_2 ギャップ準位が消失したことがわかる。したがって、PMA処理によるリーク電流密度の減少の一因として、 SiO_2 ギャップ準位の消失が考えられる。

PMA処理をしない場合、 SiO_2 の価電子帯上端は、シリコンの価電子帯上端よりも4.3eV低い位置に存在する。すなわち、 SiO_2/Si 界面での価電子帯の不連続エネルギーは、4.3eVである。一方、200℃でのPMA処理後では、価電子帯の不連続エネルギーが4.6eVに増加した。この値は、熱酸化膜について報告されている値よりも少し大きい^{14, 15)}。 SiO_2 膜を流れるトンネル電流は、 $\text{SiO}_2/\text{シリコン}$ 界面でのバンドの不連続エネルギーに指数関数的に依存する¹⁶⁾。したがって、PMA処理によるリーク電流密度の減少の原因として、 SiO_2/Si 界面での不連続エネルギーの増加が考えられる。

上記観測の結果、PMA処理によるリーク電流密度の低減は、1) 界面準位の消滅、2) SiO_2 ギャップ準位の消滅、3) $\text{SiO}_2/\text{シリコン}$ 界面でのエネルギー障壁の増加によると結論することができる。

3. 硝酸酸化法による SiO_2 厚膜/シリコン構造の創製

TFTのゲート酸化膜への応用では、10Vと高いゲートバイアス時に $1\text{nA}/\text{cm}^2$ 以下のリーク電流密度を達成する必要がある。この目的を達成するためには、20nm以上の SiO_2 膜を形成する必要がある。共沸硝酸で単結晶シリコンを酸化した場合、電気特性の良好な SiO_2 膜が形成できるが、1.4nm以上の膜厚を持つ SiO_2 膜を形成することはできない。膜厚の大きな SiO_2 膜を形成する方法として、「二段階硝酸酸化法」を開発した¹⁰⁾。二段階硝酸酸化法とは、最初にシリコンを濃度の比較的低い硝酸に浸漬して、その後共沸硝酸に浸漬する方法である。

図5に、二段階硝酸酸化法で形成した $\text{SiO}_2/\text{シリコン}$ 構造のXPSスペクトルを示す。単結晶シリコンを最初から共沸硝酸に浸漬した場合、浸漬時間を2時間としても SiO_2 膜厚は1.4nmであった(スペクトルa)。この膜厚は、浸漬時間10分の場合と同じである。一方、最初に濃度が52重量%や40重量%の硝酸に浸漬して、続いて共沸硝酸に浸漬した場合、

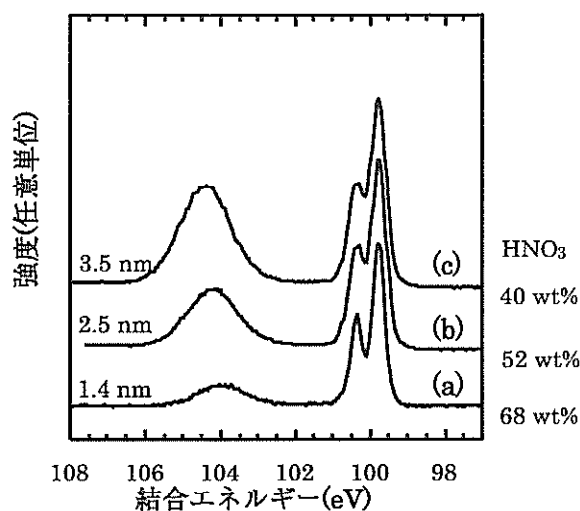


図5 二段階硝酸酸化法を用いて $\sim 120^{\circ}\text{C}$ の低温で創製した SiO_2/Si 構造のXPSスペクトル：
(a) 68重量％の硝酸で酸化開始；(b) 52重量％の硝酸で酸化開始；(c) 40重量％の硝酸で酸化開始

SiO_2 膜厚が増加した。共沸硝酸への浸漬時間を2時間とした場合、最初に浸漬する硝酸濃度が52重量％の場合は2.5nm(スペクトルb)、40重量％の場合は3.5nm(スペクトルc)の SiO_2 膜が形成された。

図6に示す様に、単結晶シリコンを二段階硝酸酸化法を用いて酸化した場合、共沸硝酸による二段階目の酸化時間と酸化膜厚は、直線関係になった。一段目の酸化は、40重量％の硝酸を用いて行った。この結果は、 $\text{SiO}_2/\text{シリコン}$ 界面での酸化反応が律速

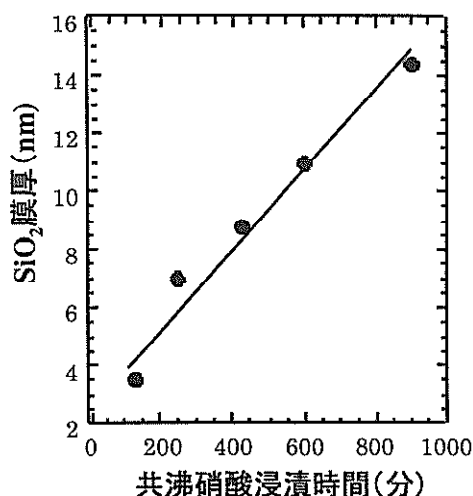


図6 単結晶シリコンの二段階硝酸酸化法における共沸硝酸による酸化時間と酸化膜厚の関係

段階になっていることを示す。つまり、 SiO_2 膜中の拡散がスムーズに起こっていることがわかる。この原因は、1) 拡散種である酸素原子のサイズが小さいため、2) 濃度の比較的低い硝酸で形成する SiO_2 膜の原子密度が比較的小さいため¹⁰⁾であると考えられる。

図7に、単結晶シリコンを二段階硝酸酸化法で酸化することによって形成した3.5nmの膜厚の SiO_2 膜を持つ $\langle \text{Al}/\text{SiO}_2/\text{Si}(100) \rangle$ MOSダイオードのI-V曲線を示す。CVD法を用いて形成した3.5nmの膜厚を持つ SiO_2 堆積膜では、I-V特性の観測は不可能であった。これは、このように薄い SiO_2 堆積膜では膜厚が非常に不均一になり、Al電極とシリコン基板が接触するためである。一方、硝酸酸化法で形成した3.5nmの SiO_2 膜ではI-V曲線が観測でき(図7a)、 SiO_2 膜の膜厚が均一であることがわかる。リーク電流密度は、 200°C でのPMA処理によって1/10以下に(図7b)、さらに 250°C でのPMA処理によってさらに減少した(図7c)。上記の結果は、3.5nm程度の硝酸酸化膜を形成してその上にCVD法を用いて SiO_2 膜を堆積することによって、リーク電流密度を低減できる可能性が高いことを示している。リーク電流密度の低減によって SiO_2 膜厚を減少でき、この結果TFTの駆動電圧の低減などの高性能化が達成できる。さらに、歩留りの向上も期待できる。

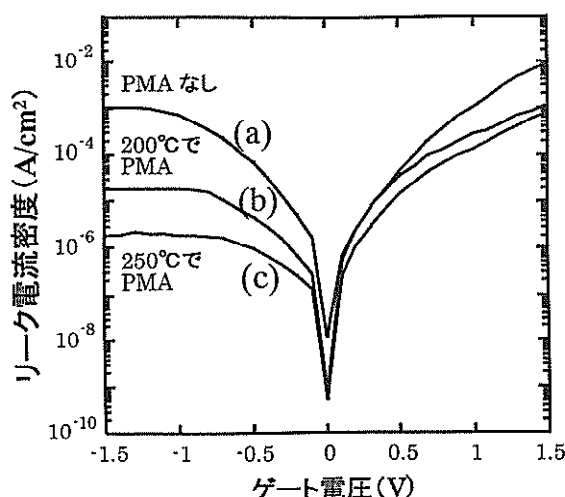


図7 二段階硝酸酸化法で創製した $\langle \text{Al}/3.5\text{nm SiO}_2/\text{Si}(100) \rangle$ MOSダイオードのI-V曲線：
(a) PMA処理無し；(b) 200°C でPMA処理；
(c) 250°C でPMA処理

図8に、二段階硝酸酸化法で作製したくAl/3.5 nm SiO₂/Si(100) MOSダイオードのC-V曲線を示す。PMA処理を施さない場合(曲線a), C-V曲線にはこぶが存在して、界面準位が多く存在することがわかる。また、0.3V程度のヒステレシスが存在して、slow state¹⁶⁾も多く存在することを示す。200℃でPMA処理を施した場合(曲線b), こぶが消

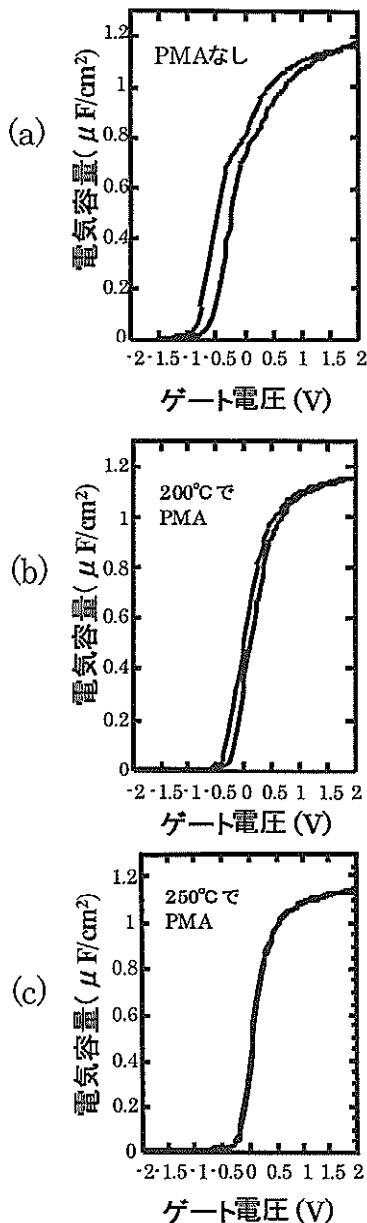


図8 二段階硝酸酸化法で単結晶シリコンを酸化することによって形成した3.5nmの膜厚のSiO₂膜を持つMOSデバイスのC-V曲線：(a) PMA処理なし；(b) 200℃でPMA処理；(c) 250℃でPMA処理

失して界面準位が不活性化されたことがわかるが、ヒステレシスは約0.15Vに減少してなお存在する。一方、250℃でPMA処理を施した場合(曲線c), ヒステレシスも完全に消失する。したがって、図7に示すPMA処理によるリーク電流密度の減少は、界面準位とslow stateの消失によるものと結論した。

2-6 まとめ

電気特性の良好なSiO₂膜を、120℃程度の低温で形成する技術「硝酸酸化法」を開発した。121℃の沸点で加熱した共沸硝酸にシリコンを浸漬することによって、1.4nmの極薄SiO₂膜を形成して、その後水素雰囲気中200℃でのPMA処理を施すことによって、熱酸化膜のリーク電流密度の1/4~1/20と格段に低くすることに成功した。低リーク電流密度の結果、極薄化学酸化膜について初めてC-V曲線を測定することに成功した。硝酸酸化法で形成した極薄SiO₂膜は、MOSデバイスのゲート酸化膜へ、さらに新しいゲート絶縁膜として期待されているHfO₂などの高誘電体膜のバッファ膜への応用が期待される。

大きな膜厚を持つSiO₂膜の低温形成法として、「二段階硝酸酸化法」を開発した。これは、最初にシリコンを40重量%程度の濃度の比較的低い硝酸に浸漬して、続いて共沸硝酸に浸漬する方法である。二段階硝酸酸化法で約120℃の低温で形成される比較的厚い膜厚を持つSiO₂膜は、TFTのゲート酸化膜への応用が期待される。TFTに利用した場合、TFTの駆動電圧の低下による省電力化、画像処理速度の増加などの高性能化が期待される。さらに約120℃の低温酸化法という利点を利用して、PETなどの高分子基板の利用が可能となり、フレキシブルTFTの製造が可能になると期待される。

参考文献

- 1) S. -H. Lo, D. A. Buchanan, Y. Taur, and W. Wang : IEEE Electron Device Lett. 18, 209 (1997).
- 2) H. S. Momose, M. Ono, Y. Yoshitomi, T. Ohguro, S. Nakamura, M. Saito, and H. Iwai : IEEE Trans. Electron. Device 43, 1233 (1996).
- 3) B. Brar, G. D. Wilk, and A. C. Seabaugh :

- Appl. Phys. Lett. 69, 2728 (1996).
- 4) Asuha, T. Kobayashi, O. Maida, M. Inoue, M. Takahashi, Y. Todokoro, and H. Kobayashi : Appl. Phys. Lett. 81, 3410 (2002).
 - 5) Asuha, T. Kobayashi, M. Takahashi, and H. Kobayashi : Surf. Sci. 547, 275 (2003).
 - 6) H. Kobayashi, Asuha, O. Maida, M. Takahashi, and H. Iwasa : J. Appl. Phys. 94, 7328 (2003).
 - 7) Asuha, Y. -L. Liu, O. Maida, M. Takahashi, and H. Kobayashi : J. Electrochem. Soc. 151, G824 (2004).
 - 8) Asuha, Y. Yuasa, O. Maida, and H. Kobayashi : Appl. Phys. Lett., 80, 4175 (2002).
 - 9) K. M. Chang, W. C. Yang, and C. P. Tsai : IEEE Electron Device Lett. 24, 512 (2003).
 - 10) Asuha, S. Imai, M. Takahashi, and H. Kobayashi : Appl. Phys. Lett. 85, 3783(2004).
 - 11) M. Depas, R. L. Van Meirhaeghe, W. H. Laflère, and F. Cardon : Solid-State Electron. 37, 433 (1994).
 - 12) A. Asano, Asuha, O. Maida, Y. Todokoro, and H. Kobayashi : Appl. Phys. Lett. 80, 4552 (2002).
 - 13) A. R. Riben and D. L. Feucht : Int. J. Electron. 20, 583 (1966).
 - 14) F. J. Himpsel, F. R. McFeely, A. Taleb-Ibrahimi, J. A. Yarmoff, and G. Hollinger : Phys. Rev. B 38, 6084 (1998).
 - 15) J. L. Alay and M. Hirose : J. Appl. Phys. 81, 1606 (1997).
 - 16) E. H. Nicollian, J. R. Brews, *MOS (Metal Oxide Semiconductor) Physics and Technology*, (Wiley, New York, 1982)Chap. 15.

