

高誘電率ゲート絶縁膜開発の現状



技術解説

渡部 平 司*

Development of High-k Gate Dielectrics

Key Words : MOSFET, high-k gate dielectrics, interface reaction

1. はじめに

LSIを構成する電界効果トランジスタ(Metal-Oxide-Semiconductor Field Effect Transistor: MOSFET)の微細化に伴って、ゲート絶縁膜であるシリコン酸化膜の厚さは2nm以下となっている。(図1参照)。通常MOSFET動作では、ソース・ドレイン間の電流をゲートバイアス印加により制御するが、ゲート絶縁膜が数nmに達すると、絶縁層を流れる直接トンネル電流成分が急激に増加する。例えば絶縁層膜厚が1.5nmにまで薄層化すると、リーク電流成分は数A/cm²に達し、モバイルユースを対象としたデバイスでは許容できない消費電力となる。またMOSFETの高性能化の観点からは、ゲート絶縁膜の薄層化をさらに進める必要があり、テクノロジーノードが65nmの高性能デバイスでは、シ

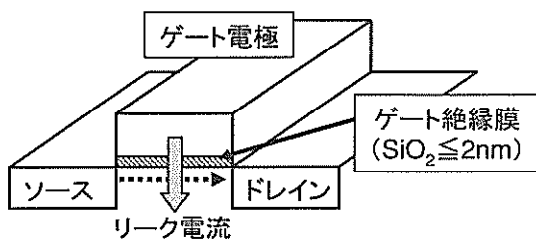


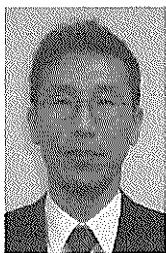
図1 MOSFETの概念図

リコン酸化膜に換算した電気的な絶縁層膜厚を1nm以下にすることが要求されている。このような膜厚はシリコン酸化膜数分子層に相当し、絶縁膜として機能するかが危惧されている^[1]。一方、従来のゲート電極材料としては、高濃度にドーピングしたポリシリコンを用いているが、ゲート絶縁膜との界面に数Å相当の空乏層が生じる。ゲート絶縁膜厚が比較的厚い場合には、この空乏層に相当する電気膜厚の増加の影響は少ないが、最先端デバイスでは、ポリシリコン電極の空乏化が深刻な問題となっている。

本稿では、これらの課題を解決する手段として注目されている高誘電率ゲート絶縁膜の研究開発の動向と今後の展望を述べると共に、これらの技術開発における表面・界面反応制御の重要性について、筆者らのこれまでの研究成果も合わせて紹介する。

2. 高誘電率ゲート絶縁膜とは

ゲート絶縁膜の薄層化とリーク電流低減を可能にする技術として、金属酸化物からなる高誘電率薄膜をゲート絶縁膜として応用する試みがなされている^[2]。シリコン酸化膜の誘電率($\epsilon=3.9$)に比べて高い誘電率を有した材料を用いることで、シリコン酸化膜と同等の電気膜厚においても、物理膜厚を厚くすることが可能となり、直接トンネル成分を低減し、デバイスの低消費電力化を実現することができる。またシリコン酸化膜に換算して1nm以下の領域を実現する技術としても有効である。これまでTaやTi等の高誘電率金属酸化物は、メモリデバイス応用に向けた開発が進められてきた。しかし、これらの酸化物とシリコン基板との界面は熱力学的に不安定であるため、次世代MOSFETに適用するには本質的な問題を有している。よってシリコンとの接合が熱力学的に安定であり、高い比誘電率を有した金属酸化物として表1に示した各種材料が検討されてきた。



* Heiji WATANABE
1965年8月生
1990年大阪大学・大学院工学研究科・精密工学専攻 博士前期課程修了
現在、大阪大学 大学院工学研究科 精密科学・応用物理学専攻、助教授、工学博士(論文博士・1994年・大阪大学)、薄膜工学
TEL 06-6879-7281
FAX 06-6879-7281
E-Mail watanabe@prec.eng.osaka-u.ac.jp

表1 高誘電率ゲート絶縁膜候補材料とその比誘電率

Candidate Dielectric	Permittivity
Al ₂ O ₃	9
La ₂ O ₃	21
ZrO ₂	25
HfO ₂	26
HfSi _x O _y	11

アルミナ(Al₂O₃)はシリコン酸化膜の約2倍の比誘電率を有し、熱的にも安定であることに加えてシリコンLSIプロセスとの整合性に優れているため、トランジスタ試作が早くから進められた。特にMOSFET作製の際の1000℃以上の活性化アニール後も非晶質構造を保持することから非常に有望視されたが、トランジスタのオン電流が確保できないことがわかった^[3]。これはAl₂O₃膜中の固定電荷によってMOSFETのチャネルを走行するキャリアが散乱されて移動度が低下するためであることが指摘され、Al₂O₃の本質的な問題であることが明らかとなり、MOSFET用の高誘電率ゲート絶縁膜材料としての研究対象からは除外されつつある。またLa₂O₃等のランタノイド系材料の金属酸化物もシリコン基板界面が安定であることが予想され、また比較的高い比誘電率が得られることから、ゲート絶縁膜の候補材料として早くから研究がなされてきた。これらの材料ではシリコン酸化膜に換算して非常に薄い電気膜厚が実現できることが報告され(EOT=0.48nm)注目を集めた^[4]。しかしこれらの材料系は吸湿性を示し、LSI製造において品質管理上の問題が指摘されている。一方、ZrO₂やHfO₂は高い比誘電率を示し、またシリコン基板との熱安定性にも優れている。これらの金属酸化物は類似した性質を示すが、その後の研究でZr系材料に比べてHf系材料が耐熱性の観点で優れていることが多くの研究機関から報告され、高誘電率ゲート絶縁膜の材料候補としては、HfO₂やそのシリケート材料(HfSi_xO_y)に絞られつつある。

3. 高誘電率ゲート絶縁膜の界面反応評価

実デバイスへの応用を考えた場合、高誘電率ゲート絶縁膜とシリコン基板との界面特性は、その電気膜厚やキャリア移動度を決定する重要な検討事項で

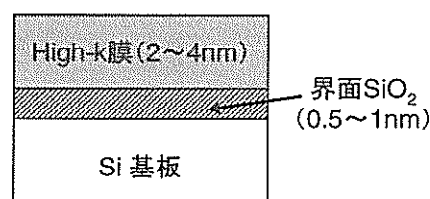


図2 高誘電率ゲート絶縁膜スタック構造

ある。上述のような熱安定性の観点から選定した材料系においても、これらの金属酸化物をシリコン基板と直接接合した場合、MOSFET特性は大きく劣化する。よって現在のゲートスタック構造では、シリコン基板とこれら金属酸化物薄膜との界面に非常に薄いシリコン酸化膜層を挿入した構造を採用している(図2)。高誘電率ゲート絶縁膜がターゲットとする次世代MOSFETでは、シリコン酸化膜換算膜厚は通常1.5nm以下であるため、界面に挿入する下地酸化膜厚は1nm未満である。しかし高誘電率ゲート絶縁膜研究の初期の段階で、熱的に安定とされるZrやHf系酸化物についても、窒素中の高温アニールで界面シリコン酸化膜が増膜することが指摘され、その熱安定性を疑問視する時期があった。

図3および図4にZrO₂ゲート絶縁膜の界面熱安定性を評価するため、筆者らが実施した実験結果を示す^[5]。本実験では、ZrO₂膜の形成と熱処理、さらにはX線光電子分光(XPS)による界面反応評価を真空一貫で連続して実施可能な複合装置を用いた。図3はシリコン基板上に成膜したZrO₂薄膜のその場XPS測定結果であり、図(a)および(b)はSi2pならびにZr3dレベルからのXPSスペクトルである。図(a)中の高結合エネルギー(Binding Energy)成分は、ZrO₂とシリコン基板界面のシリコン酸化膜層からの信号である。この界面酸化層からの成分に注目すると、ZrO₂薄膜形成後(as-fab.)と超高真空中800℃アニールを施した後のSi2pスペクトルはほぼ一致し、過去に報告された界面層の成長は観測されることがわかった。一方、このZrO₂薄膜試料を真空槽から取り出し、窒素置換の石英炉中で700℃アニールを施した試料では(furnace)、界面酸化層からの信号が増大し界面層が増膜することを確認した。さらに図4は超高真空槽に1×10⁻⁴Torrの酸素ガスを導入して熱処理を行った際のSi-O結合

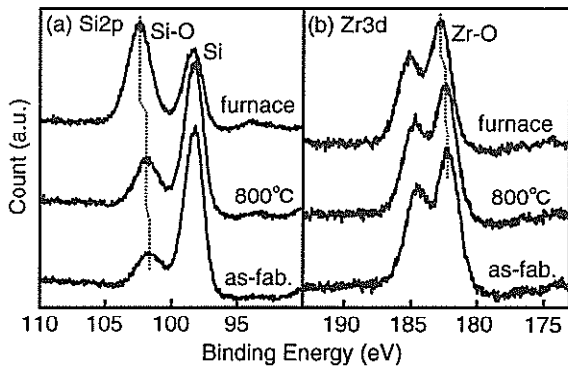


図3 高誘電率ゲート絶縁膜界面反応のその場XPS評価

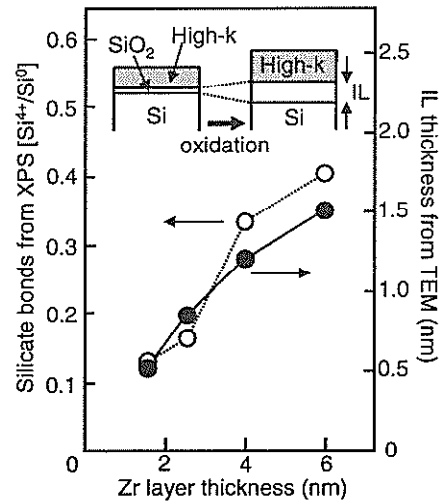


図5 高誘電率絶縁膜中での透過酸素の活性化による界面反応の促進

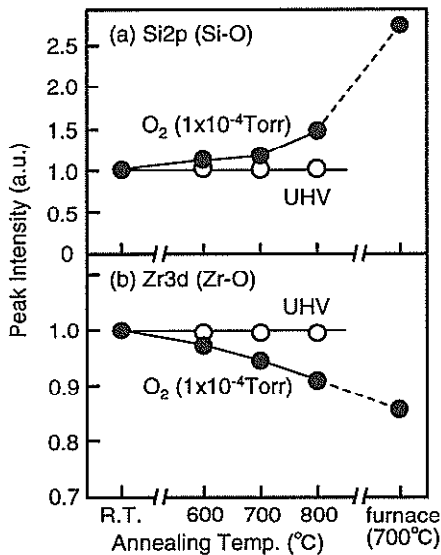


図4 残留酸素による高誘電率ゲート絶縁膜界面反応の進行

およびZr-O結合からの信号強度の変化をプロットした結果である。これより超高真空中(UHV)でのアニールでは界面層やZrO₂層に全く変化が見られないのに対し、微量でも酸素が存在する条件下では界面層が増膜することがわかる。つまりZrO₂等の金属酸化物は気相中の酸素を容易に透過し、その結果、シリコン基板の酸化が進行して界面酸化層が成長すると結論できる。

一方、図5はシリコン基板上に堆積するZrO₂層の膜厚を変化させた各試料を減圧酸素雰囲気中でアニールした結果である^[6]。これより予想に反してZrO₂層が厚い試料で界面酸化層の成長が著しいこ

とが分かる。この結果は、ZrO₂中を酸素が透過するモデルのみでは説明できず、気相中の酸素がZrO₂中を透過する際に活性化される様な機構が存在することを示している。これらの実験結果を受けて、現在の高誘電率ゲート絶縁膜のアニール工程では、処理雰囲気中の残留酸素を精密にコントロールする事が重要であるとの認識に至っている。また高誘電率ゲート絶縁膜中での透過酸素の活性化を支持する結果も多く、従来のシリコン酸化膜では経験しなかった様な特異な現象が明らかになり、これらを如何に制御するかが重要となっている。

4. 界面反応を利用した新しい成膜技術

高誘電率ゲート絶縁膜の作製では、数nmレベルの超薄膜を均一性・制御性よく形成する必要がある。またシリコン基板との界面電気特性を改善するための配慮も不可欠である。これまで金属やシリコン原料ガスの供給と酸化剤の供給を交互に行うAtomic Layer Deposition(ALD)法が注目を集め、HfO₂やHfSi_xO_y成膜に応用されている。また近年ではCVD成膜(MOCVD)でも優れた均一性が得られており、後アニールを含め様々な量産技術の開発が進められている。先述の様にシリコン基板との界面特性改善には、下地シリコン酸化膜を挿入することが必須であり、優れた下地酸化膜/シリコン基板界面を保持しつつ、高品質な高誘電率ゲート絶縁膜を堆積することが必要である。またMOCVD法は量産性に優れ、

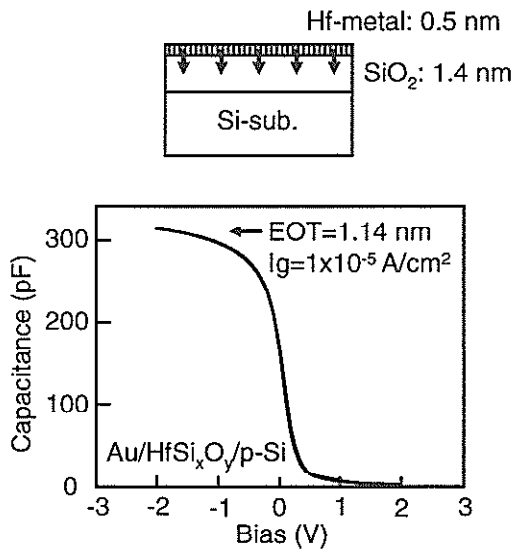


図6 金属 Hf と下地 SiO₂ との固相界面反応を利用した高品質 HfSi_xO_y 膜作製法

スパッタ蒸着などで問題となるイオンダメージが無い事が特徴として挙げられるが、原料ガスからの塩素やカーボン等の不純物の混入が問題となっている。

筆者らは、高誘電率ゲート絶縁膜形成におけるこれらの問題を解決する新しい成膜技術として、下地シリコン酸化膜と金属層との界面固相反応を利用した高品質な高誘電率ゲート絶縁膜形成技術を提案している^[7,8](図6参照)。従来のCVD成膜では下地層として0.5nm程度の非常に薄いシリコン酸化膜を形成した後高誘電率薄膜を堆積する。しかし本提案では、比較的厚い下地シリコン酸化膜を形成した後に、超高真空中で金属ハフニウムを堆積し、この積層構造に熱処理を施すことで、シリコン酸化膜中にハフニウムを拡散させて高品質なHfSi_xO_y膜を作製する。図6は、膜厚1.4nmのシリコン酸化膜上に0.5nmの金属ハフニウムを堆積し、金属拡散のための熱処理と酸素欠損を補償するための減圧酸素アニールを施して作製した高誘電率ゲート絶縁膜の電気特性評価結果である。図7は本絶縁膜断面の透過電子顕微鏡像であり、シリコン基板界面に下地酸化膜層が存在し、その上部に均一な金属酸化物層が形成されていることがわかる。XPS測定から、上部はHfSi_xO_y層であることを確認している。図6に示す容量-電圧(C-V)特性から求めたシリコン酸化膜換算膜厚はEOT=1.14nmであり、金属拡散による高誘

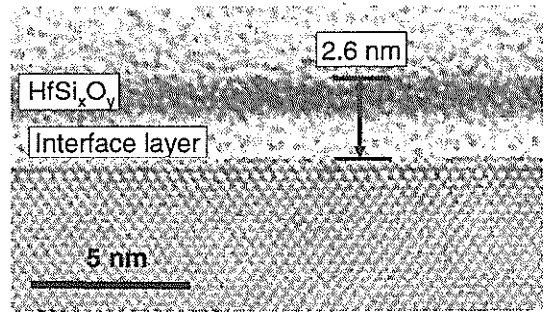


図7 下地酸化膜との界面反応を利用して作製したHfSi_xO_y膜の断面構造

電率化により初期のシリコン酸化膜厚よりも電気膜厚が薄くなっていることがわかる。この様にして作製したHfSi_xO_y膜では、C-V特性に現れるヒステリシス幅は僅か数mVであり、絶縁膜中の電気的な欠陥への電荷捕獲が極めて少ない良質な絶縁膜であることを確認している。

図8は、下地シリコン酸化膜の膜厚と金属ハフニウム膜厚を変化させて作製したポリシリコン電極キャパシタの酸化膜換算膜厚(EOT)とリーク電流値(Ig)の関係を示したものである。これらのキャパシタ試料は、ポリシリコン電極の活性化アニール(1000℃)を施したものであり、本手法で作製したHfSi_xO_y膜がデバイス製造工程で必要とされる高温アニールに耐えることがわかる。下地シリコン酸化膜厚を変化させることで電気膜厚の薄層化が可能であり、また金属膜厚を厚く設定することで、リーク電流値を低

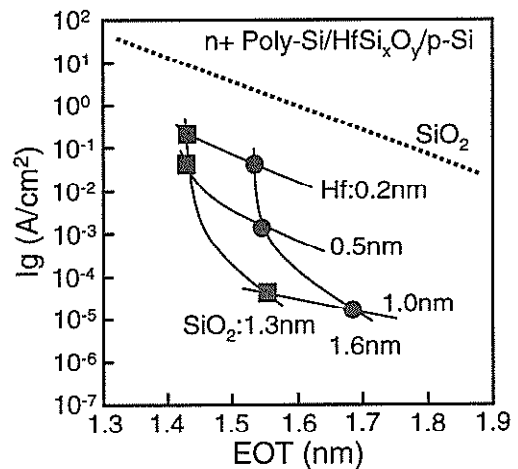


図8 下地 SiO₂ と金属 Hf 層厚による HfSi_xO_y 膜の EOT-Ig 特性の設計

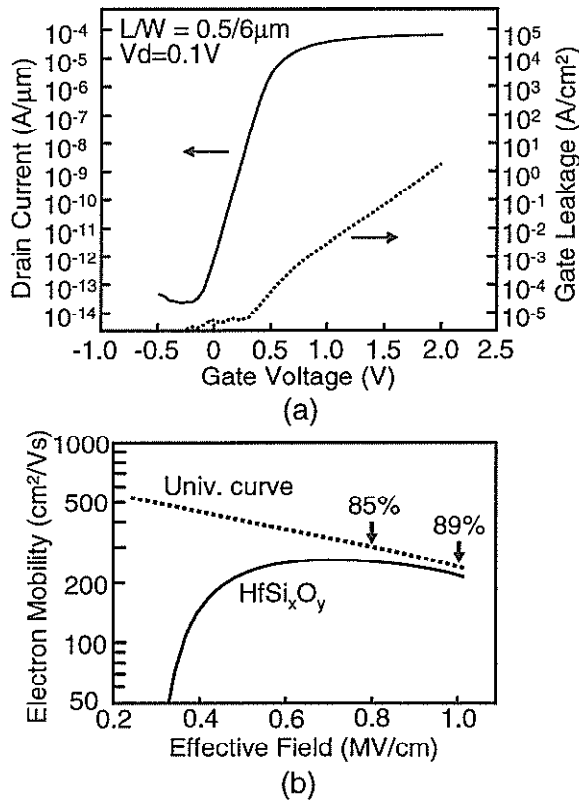


図9 高誘電率ゲート絶縁膜を有した nMOSFET の諸特性

減できる。図9は下地酸化膜厚1.6nm, 金属膜厚0.5nmとして作製した高誘電率ゲート絶縁膜を用いて作製したnMOSFETの特性を示している。図(a)は I_d - V_g および I_g - V_g 特性を示し、従来のシリコン酸化膜を有したトランジスタと比較して、リーク電流(I_g)を約3桁低減することに成功した。また移動度を評価した結果(図(b)), デバイス動作電圧付近(0.8~1MV/cm)において理論値の85~89%の高い電子移動度を実現した。

5. 課題と今後の展望

高誘電率ゲート絶縁膜技術は、MOSFETの低消費電力化と高性能化に有効であり、その実用化が望まれている。しかし上記の様にnMOSFETでは優れた特性が実証されているが、pMOSFETではポリシリコン電極と絶縁膜界面の電気的欠陥によってトランジスタの動作閾値が制御不可能となる問題に直面している^[9,10]。最新の報告では、これらの閾値シフトの原因が、高誘電率ゲート絶縁膜中の酸素空

孔に伴う本質的な現象であることが徐々に明らかになりつつある^[11]。よって従来のポリシリコンにかえてメタル電極をMOSFETに採用するための研究が近年活発になっている。メタル電極を用いることで、ポリシリコン電極で問題となっていたゲート電極の空乏化の問題を解消することが可能となり、MOSFETの高性能化にも寄与する。メタル電極と高誘電率ゲート絶縁膜との複合技術の検討が各研究機関で始まりつつあり、TiN等の金属電極やNiSi等のシリサイド電極を用いたデバイス試作結果が報告されている。しかし電極と絶縁膜との界面反応や閾値制御に関しては不明な点が多く、実用化に向けての材料物性評価ならびにプロセス改善が必要である。

6. おわりに

これまでシリコンLSIプロセスは、シリコン酸化膜と基板界面の優れた電気特性を前提として発展してきた。しかしゲート絶縁膜としてのシリコン酸化膜が物理的な限界を迎えた今、高誘電率ゲート絶縁膜やメタル電極などの新材料を導入しなければMOSFETの高性能化と低消費電力化の実現が不可能な状況に直面している。これらの新材料ならびに新プロセスを実デバイス開発に応用するためには、各材料の基礎物性や界面反応の素過程を理解し、これを制御することが必要であり、デバイス材料評価とデバイス開発が連携して研究開発を進めることが今後さらに重要となる。

文 献

- (1) D. A. Muller, T. Sorsch, S. Moccio, F. H. Baumann, K. Evans-Lutterodt and G. Timp, Nature 399, 758(1999).
- (2) G. D. Wilk, R. M. Wallace and J. M. Anthony, J. Appl. Phys. 89, 5243(2001).
- (3) D. A. Buchanan et al., IEDM Tech. Dig., 2000, p.223.
- (4) A. Chin, Y. H. Wu, S. B. Chen, C. C. Liao, and W. J. Chen, Tech. Dig. VLSI Technol., 2000, p.16.
- (5) H. Watanabe, Appl. Phys. Lett. 78, 3803 (2001).
- (6) H. Watanabe, Appl. Phys. Lett. 83, 4175 (2003).

- (7) H. Watanabe, N. Ikarashi and F. Ito, Appl. Phys. Lett. 83, 3546(2003).
- (8) H. Watanabe, M. Saitoh, N. Ikarashi and T. Tatsumi, Appl. Phys. Lett. 85, 449 (2004).
- (9) C. Hobbs et al., Tech. Dig. VLSI Technol., 2003, p.9.
- (10) M. Miyamura, K. Masuzaki, H. Watanabe, N. Ikarashi and T. Tatsumi, Jpn. J. Appl. Phys. 43, 7843(2004).
- (11) K. Shiraishi, K. Yamada, K. Torii, Y. Akasaka, K. Nakajima, M. Kohno, T. Chikyow, H. Kitajima and T. Arikado, Tech. Dig. VLIS Technol., 2004, p.108.

