

# III-N系半導体材料を用いた新しい電力デバイスの現状



上田 大助\*

## III-N Based Power Semiconductor Devices

Key Words : GaN, switching power, on-resistance, super-lattice, Quaternary alloy, InAlGa<sub>N</sub>, GaN on Si, non-polar

### 1. はじめに

バンドギャップが大きく電子の飽和速度も高いIII-N系の半導体デバイスはマイクロ波やミリ波帯の送信用・高出力アンプの他に、電力エレクトロニクス分野における有効性が検討され始めた<sup>(1)</sup>。図1はSi, GaAs, GaN系の単位FET(ゲート長/幅0.5/1000 $\mu$ m)の模式的な特性比較図である。GaN系半導体デバイスは極めて高い電流駆動能力と高い阻止耐圧を有しており、小さなチップ面積で大電力を扱うことが可能である。

産業用モーター制御や家庭用エアコン等もインバータ化することによって省エネ化やきめ細かい制御が可能となった。これまで様々な定格電力に応じたインバータモジュールが販売されている。一般にこのような機器の使用電圧は100-200Vであり、インバー

タのスイッチ部には耐圧400-1000V程度のシリコン・パワーMOSFETが広く用いられる。パワーMOSFETの最重要のデバイスパラメータは阻止耐圧とオン時の抵抗(オン抵抗)である。高耐圧化には接合領域の不純物濃度を低減し、空乏層を大きくすることが必要だが、これはデバイスのオン抵抗を高くする。これが耐圧とオン抵抗の間に生じるトレードオフである。パワーMOSFETの大電流化のためにIGBT(Insulated Gate Bipolar Transistor)が開発された。これは少数キャリアの注入によって伝導度変調を行わせるMOSFETとBipolar動作を内在させる構造のデバイスである。IGBTは電圧降下が小さいが、少数キャリアの注入を用いるために高速スイッチングができない。即ち、パワーデバイスには「動作速度」と「オン抵抗」および「耐圧」の3つの特性に本質的なトレードオフが存在するのである。シリコンを用いたデバイスにはこの材料固有のトレードオフのために特性向上に限界がある。

バンドギャップの大きな半導体材料はその降伏電界強度が高いため、接合の不純物濃度を高くできるので空乏層幅を削減できる。即ち、直列抵抗成分が小さいので、チップ面積当たりのオン抵抗を改善することができる。III-N系半導体材料の降伏電界強度はシリコンより1桁以上高く、オン抵抗はその二乗に逆比例して低減することが可能である。更に、インバータ化された電気機器の電力損失を削減するためにはオン抵抗の削減に加えて、トランジエントにおけるスイッチングロス低減が不可欠である。この点からも高周波特性においても優れたGaN系半導体デバイスは優位となる。

ワイドバンドギャップ半導体をパワーデバイスに用いるもう1つの利点はその動作温度範囲が広いことである。これは高温時に生成されるキャリアが少ないので、逆バイアス時の接合リーク電流も小さい

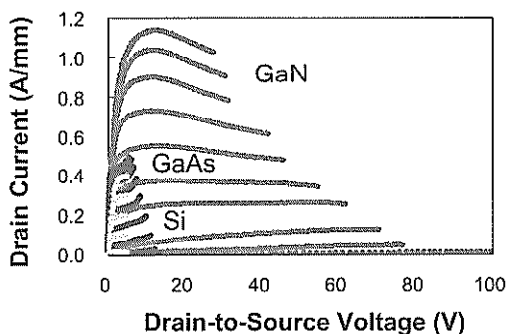


図1 GaN, GaAs, Si系FETのI-V特性比較(ゲート長0.5 $\mu$ m)



\* Daisuke UEDA  
 1954年8月生  
 1979年九州工業大学・電子工学科 修士課程修了, 大阪大学・工博  
 現在, 松下電器産業(株)半導体社, 半導体デバイス研究センター・所長  
 TEL 072-682-7865  
 FAX 072-682-6190  
 E-mail : daisuke@ieee.org

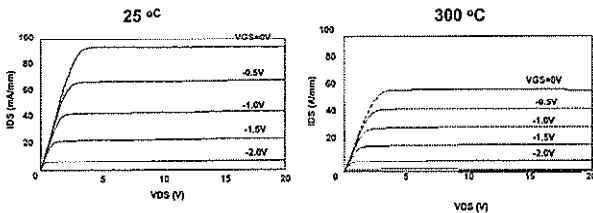


図2 室温と高温下におけるAlGaIn/GaNヘテロFETのI-V特性

からである。図2に試作されたGaN/AlGaInヘテロFETのI-V特性を室温と300℃で測定された特性の一例を示す。ドレイン電流は約3割低下するが、しきい値電圧は殆ど変化していないことが分かる。これはIII-N材料を用いたFETでは電子移動度は低下してもキャリア濃度が変化しない。このような高温動作特性は電気機器の冷却システムを簡便にでき、機器全体の小型化を可能にする。

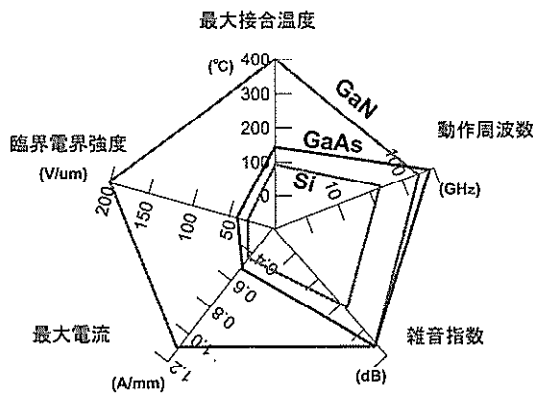


図3 GaN, GaAs, Si系FETの特性比較チャート

図3は代表的な半導体デバイス材料としてSi, GaAs/AlGaAs, GaN/AlGaInを用いて作成したトランジスタのデバイス特性をレーダーチャートで示したものである。III-N系半導体デバイスはGaAsを置き換えることを意図した高周波デバイスであったが、パワーデバイスの領域において卓越したデバイス特性を有することが分かる。

## 2. AlGaIn/GaN FETのオン抵抗の低減

スイッチングトランジスタの最も重要なパラメータはオン抵抗( $R_{on}$ )である。AlGaIn/GaN FETの $R_{on}$ を構成する成分を図4に示す。ここで付言しておかねばならないのは六方晶のIII-N系半導体材料で得られるキャリアは窒素とIII族間の自発分極によって自

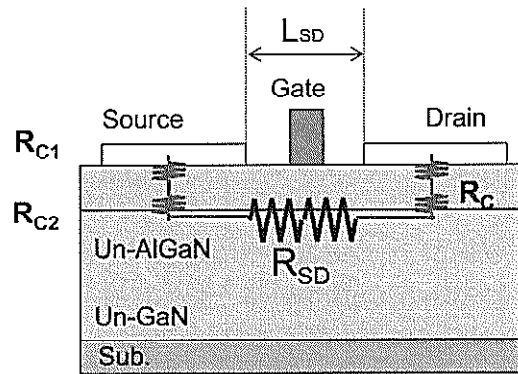


図4 GaN/AlGa HFETのオン抵抗の構成

然発生したものであり、不純物のドーピングによるものではないことである。2DEGの電荷密度はAlGaInとGaNの自発分極差であり、単純にAlの混晶比で決まる。 $R_{on}$ はコンタクト抵抗とエピ層内のチャネル抵抗の和である。チャネル部のコンダクタンスはエピ層内の2DEGの移動度とシートキャリア濃度の積であるが、コンタクト抵抗は外因的なものであり、電極と半導体の製作プロセスに依る。我々はこのオン抵抗の低減のために2つの代表的な技術を開発した。

最初の技術はチャネル領域上にGaN/AlGaIn超格子(SL: Super Lattice)キャップ領域を設ける新しい構造である。SLキャップ構造の狙いは複数のヘテロ接合界面に形成される2DEGの層数を増やすことでシートキャリア濃度を高めることとソース・ドレイン領域に対するオーミック金属のポテンシャル障壁を低下させることである。試作したSLキャップ構造を用いたGaN/AlGaIn HFETの断面SEM写真を図5に示す。得られたソース・ドレイン抵抗 $R_s$ は $0.4\Omega \cdot \text{mm}$ であり、SLを用いない構造に比べて1/3以下に削減された<sup>(2)</sup>。

SLキャップ構造はシート抵抗の低減に大きな効果があるが、金属・半導体界面およびヘテロ界面間の

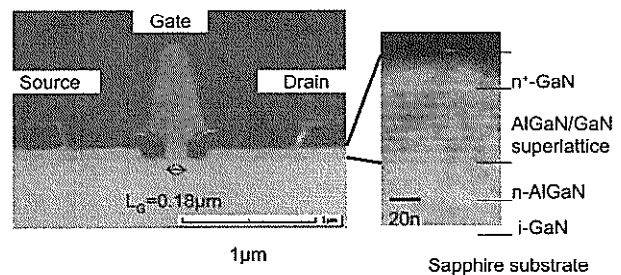


図5 SLキャップ構造を用いたGaN/AlGaIn HFETの断面SEM写真

コンタクト抵抗削減に対しては効果があまりない。この理由は六方晶のIII-N系半導体材料はAlGaInやGaNなどでヘテロ障壁高さが大きいばかりでなく、窒素とIII族間のイオン結合による自発分極が作る内部電界によって、ポテンシャルに勾配が生じるためである。このためソース・ドレインから見たときのヘテロ界面ポテンシャル障壁は大きく見える。そこで我々はAlGaIn/GaNへの「格子整合」に加えて新たにInAlGaIn/GaNを用いた「分極整合」の考え方を導入し、4元系材料の検討を行った<sup>(3)</sup>。AlをInで置き換えていくとIn:Al=1:4.66の比率を維持すれば、その格子常数はGaNに等しくなる。実際にX線回折で格子整合を確認しながらエピ成長したInAlGaInのバンドギャップは、図6に示すように極小値を持つ非線形の傾向を示す。分極整合は以下に述べる手順で実現できる。4元系InAlGaInは上記の格子整合条件を維持した状態でInAlGaInのInを増加すると、InAlGaIn層の分極量は図7(a)のように増加する。ここで下地AlGaIn層のAlモル比(例えば0.26であれば)と一致するInモル比

の点が下地のAlGaIn層に対する分極整合の条件になる訳である。このように我々が提案する4元系InAlGaIn材料を用いることで、バンドギャップのみならず、その分極量をコントロールすることが出来る。このような手順でInAlGaInをAlGaIn領域上に形成した場合のポテンシャル・ダイアグラムを図7(b)に示す。分極成分がInAlGaInとAlGaInで等しくなることでポテンシャル勾配が解消され、ヘテロ障壁が減少する事が分かる。また、図8に示すように、我々はInAlGaIn上に設けられた金属は仕事関数によらず、金属・半導体のショットキー障壁が低くなり、ほぼ全ての金属に対してオーミック性の接続となることを発見した。この原因は現在究明中であるが、InAlGaInの電子親和力が大きいか、その表面でポテンシャルがピンニングされているかの何れである。実験的に得られたコンタクト抵抗(Rc)は $1 \times 10^{-6} \Omega \cdot \text{cm}^2$ であり、4元系材料の導入により直列抵抗成分が大幅に低減されることを実証した。

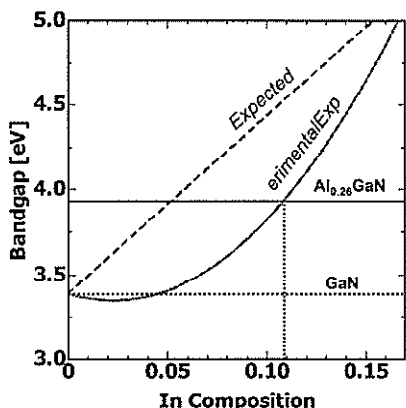


図6 格子整合条件でエピ成長したInAlGaInの実測バンドギャップ

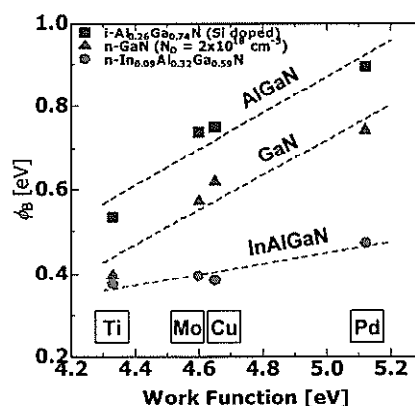


図8 3種類の半導体 (GaN, AlGaIn, InAlGaIn) に対するショットキーポテンシャル

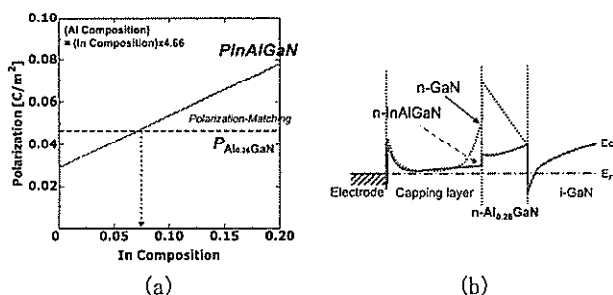


図7 (a) 格子整合条件におけるInモル比とInAlGaIn分極量の関係(計算)  
(b) 分極整合時のバンドダイアグラム

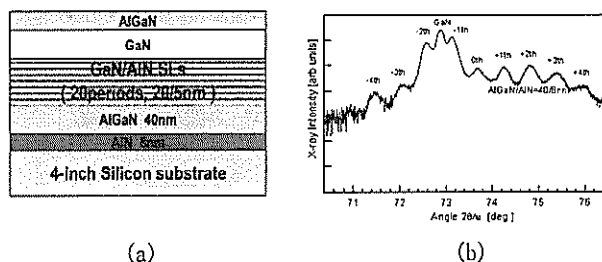


図9 Si (111) 基板上的エピタキシャル構造  
(b) X線解析パターン

### 3. シリコン基板上のGaN/AlGaNエピタキシャル成長技術

これまでIII-N系半導体材料は格子常数と熱膨張係数差を勘案してサファイアやSiCが基板として広く用いられてきた。しかしながらパワー半導体のような単価が低く、チップ面積の大きいデバイスを工業化するためには、安価で大面積の基板が不可欠である。我々は名工大・江川研究室の協力により4インチ・シリコン(111)基板上にGaN/AlGaNエピの成長を行った<sup>(4)</sup>。GaNはシリコンに対して17%の格子常数差があるが、図9(a)に示すように成長初期にシリコンに直接AlNバッファ層を成長させる技術とストレスを緩和するSL構造を導入することで大口径でも平坦性の良いエピ成長が可能になった。図9(b)に示されたエピ基板のX線回折スペクトルにはSL構造を反映したサテライトピークが見られており、ヘテロ界面においても平坦性が極めて高いことが確認された。図10に示されるように4インチ基板内で、極めて平坦なモビリティと2DEG濃度の分布が得られている。

本エピ基板を用いて大面積のHFETの試作を行った。このデバイス構造を図11(a)に示す<sup>(5)</sup>。我々の作成した構造の特長はAlGaIn/GaN HFETのソース領域をエ

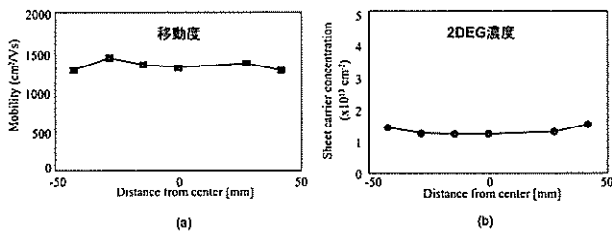


図10 4インチSi基板上AlGaIn/GaNヘテロ構造の面内分布 (a) 移動度, (b) シートキャリア濃度

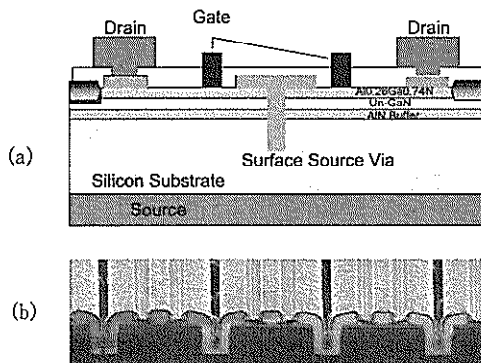


図11 ソースビア接地構造を有するSi基板上AlGaIn/GaNパワーFET (a) 断面構造, (b) 断面SEM写真

ピ層を貫通させてシリコン基板に電気接続することでソース接地を実現したことである。これまでのIGBTやパワーMOSでは基板側がアノードになるため、実装上チップの電位をフロートする必要があったが、本構造ではその問題を解消している。また、シリコン基板側をグランドにしたことでHFETの下側(裏側)からField Plateと同様にゲートのドレイン端の電界緩和が可能になった。この結果、HFETデバイスの製作プロセスを複雑にしているField Plate工程を省略でき、コスト削減に大きな効果が期待できる。図11(b)に試作した大面積のAlGaIn/GaN HFET on Siの断面SEM写真を示す。ここで得られたRonAは $1.9\text{m}\Omega\cdot\text{cm}^2$ であった。このオン抵抗の値は従来のSi系デバイスと比較して1/14以下と非常に小さな値が得られた。

### 4. ノンポーラ結晶を用いたエンハンスモードAlGaIn/GaN HFET

これまで述べてきたAlGaIn/GaN HFETは自発分極差によってAlGaInとGaNのヘテロ界面に生成される電子を用いたデバイスであり、ノーマリーオンのタイプとなる。ノーマリーオンのデバイスは駆動回路に故障が起これば、デバイスが短絡した状態になる。このためAlGaIn/GaN HFETをエンハンスモード化することはパワーデバイスへの展開の中で最大の課題となっている。

我々はAlGaIn/GaN HFETの結晶成長面を変えることで自発分極の方向をチャンネルに平行にすることで、エンハンスメントモード化する技術を開発した<sup>(6)</sup>。図12は使用したサファイア(10-12)面(R面)にGaN層を成長した際に得られたGaN六方晶の配置関係を示したものである。このようにして得られたGaN(11-20)面(a面)は表面に極性を持たず、キャリアがAlGaIn/GaN界面に初めから存在しない。このようなエピ基板を用いて作成されたHFETの特性を図13(a)に示す。同(b)に示されるようにa面上のGaN成長ではすじ状のモフォロジーが典型的に観測されるがこのモフォロジーに平行に電流の流れる<1-100>方向ゲートを有するHFETのほうが散乱の影響を受けにくくなっている。作製した無極性a面上のHFETではしきい値電圧が $-0.5\text{V}$ とほぼノーマリーオフ特性を実現できた。

### 5. おわりに

以上、III-N系半導体材料を用いた新しい電力デバ

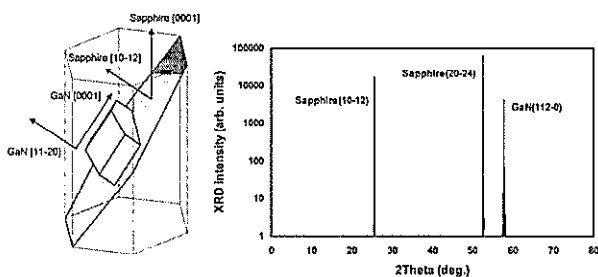


図12 サファイアR面上に形成したa面GaNの模式図と得られたX線回折パターン

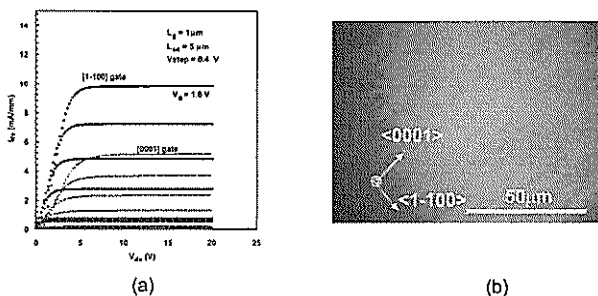


図13 (a) a面AlGaIn/GaN HFETのI-V特性のゲート方向依存性と (b) a面エピ表面モフォロジー

イスについて概括した。この材料の最大の利点はワイドバンドギャップによる高耐圧特性と高い電流駆動能力を両立できることである。試作によって確認された(オン抵抗・面積)積は $1.9\text{m}\Omega\cdot\text{cm}^2$ になり、これまでのシリコン・パワーMOSFETの1/14以下である。即ち、III-N系半導体デバイスは優れた高周波特性を維持したまま、パワー・スイッチング・システムを大幅に小型化できることを意味する。更に、動作温度範囲が広いことから放熱システムなども簡略化できる可能性がある。

今回紹介したIII-N系パワーデバイスは21世紀の電力システムを一新させる可能性を秘めている。今後の発展に注力したい。

謝 辞

本報告にあたり、本研究を推進してきた松下電器産業・半導体社・半導体デバイス研究センターの電子デバイス研究グループのメンバー、田中毅、上本康裕、上田哲三、柳原学、石田秀俊、上野弘明、引田正洋、中澤敏志、村田智洋、黒田正行、井上薫の

各氏および名古屋工業大学・ナノデバイス・システム研究センターの江川孝先生に謝意を表します。

参考文献

- (1) D. Ueda, T.Murata, M.Hikita, S.Nakazawa, M.Kuroda, H.Ishida, M.Yanagihara, K.Inoue, T.Ueda, Y.Uemoto, T.Tanaka, and T.Egawa : "AlGaIn/GaN Devices for Future Power Switching Systems", IEDM Tech. Dig. 15-5 (2005).
- (2) T.Murata, M.Hikita, Y.Hirose, Y.Uemoto, K.Inoue, T.Tanaka, and D.Ueda : "Source Resistance Reduction of AlGaIn-GaN HFETs with Novel Superlattice Cap Layer", IEEE Trans. Electron Devices, Vol.52, No.6, pp.1042-1047 (2005).
- (3) S.Nakazawa, T.Ueda, K.Inoue, T.Tanaka, H.Ishikawa, and D.Ueda : "Recessed-Gate AlGaIn/gaN HFETs with Lattice-Matched InAlGaIn Quaternary Alloy Capping Layers", IEEE Trans. Electron Devices, Vol.52, No.10, pp.2124-2128 (2005).
- (4) H.Ishikawa, G-Y.Zhao, N.Nakada, T.Egawa, T.Jimbo, and M.Umeno : "GaN on Si Substrate with AlGaIn/AlN Intermediate Layer", Jpn.J.Appl.Phys., Vol. 38, No.5A, pp.L492-494 (1999).
- (5) M.Hikita, M.Yanagihara, K.Nakazawa, H.Ueno, Y.Hirose, T.Ueda, Y.Uemoto, T.Tanaka, D.Ueda, and T.Egawa : "AlGaIn/GaN Power HFET on Silicon Substrate with Source-Via Grounding (SVG) Structure", IEEE Trans. Electron Devices, Vol.52, No.9, pp.1963-1968 (2005).
- (6) M.Kuroda, H.Ishida, T.Ueda, and T.Tanaka : "Normally-off Operation of Non-polar AlGaIn/GaN Heterojunction FETs Grown on R-plane Sapphire", Extended Abstract of the 2005 Int. Conf. on Solid State Devices and Materials, Kobe, pp.470-471, (2005).