

“頼りになる” VLSI デバイスの開発を目指して



研究室紹介

尾上 孝雄*

Exploration for Dependable VLSI Platform

Key Words : dependable, reconfigurable, VLSI, soft error

はじめに

近年、巷で草食化が進む男子は「頼りない」との評判があるが、大規模集積回路 (VLSI; Very Large Scale Integration) の世界でも、設計・実装したデバイスをいざ使用しようという際に期待通りに動作しないという事象が発生してきている。図1に示すように、VLSI デバイスは、さまざまな故障の危機に晒されている。製造プロセス微細化の進展に伴い、デバイス特性のばらつきが顕在化したことによる初期故障、NBTI (Negative Bias Temperature Instability) など継続的な動作に伴う特性劣化に伴う摩耗故障、さらには、動作時にデータの反転に必要な電荷量が減少したことにより、粒子線の衝突に起因するビット反転現象、いわゆるソフトエラーなどが発生する偶発故障がこれにあたる。このうち、偶発故障と摩耗故障の発生率は、VLSI デバイスの動作環境に大きく依存するものであり、許容される故障率や故障による影響の深刻度は、当該デバイスが利用されるシステムの用途によって大きく異なってくる。また、実現する信頼性とコストはトレードオフ関係があり、必要最低限のコスト増加で、要求される信頼性を達成することが強く求められている。

このような背景から、筆者らの研究グループは、平成19年度より京都大学小野寺秀俊教授らと共同で「ディペンダブル VLSI プラットフォーム」(図2)

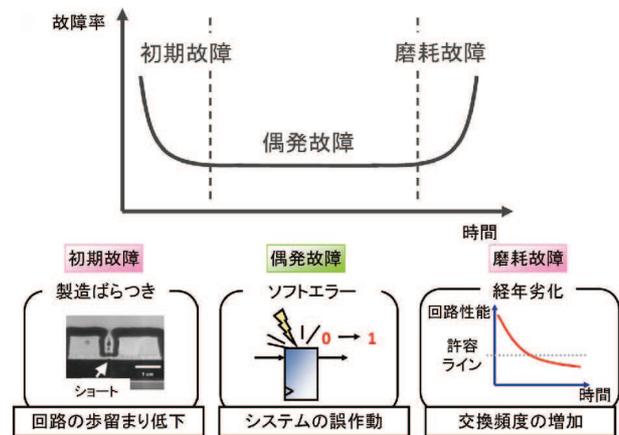


図1: 集積回路における故障率の時間変化

の開発プロジェクトを推進している。本プラットフォームでは、回路レベルからソフトウェアレベルまで、さまざまな階層で信頼性毀損要因の対策を施すことにより、要求される信頼性に応じた機能を実現できる VLSI デバイスの実現を目指している。このなかで、橋本昌宜准教授、密山幸男講師 (高知工科大学) と筆者は、信頼性可変粗粒度再構成可能アーキテクチャ [1] について研究を行っており、ここでは、本アーキテクチャによるソフトエラー対策技術、経年劣化対策技術について紹介する。

信頼性可変粗粒度再構成可能アーキテクチャ

図3は、我々が開発している再構成可能アーキテクチャ FRRARY (Flexible Reliability Reconfigurable Array) を示している。FRRARY はソフトエラーと経年劣化に対して柔軟な信頼性を実現し、前述の信頼性とコストのトレードオフを加味したアプリケーションの実装が可能である。

集積回路におけるソフトエラーは、一時的なノイズや誤動作を引き起こす恐れがある。図4に示すように再構成可能アーキテクチャでは、構成要素のさ



*Takao ONOYE

1968年5月生
大阪大学 工学研究科 電子工学専攻
博士前期課程修了 (1991年)
現在、大阪大学 大学院情報科学研究科
情報システム工学専攻 教授 博士 (工
学) 組込みシステム、メディア処理、
SoC設計
TEL : 06-6879-4525
FAX : 06-6879-4529
E-mail : onoye@ist.osaka-u.ac.jp

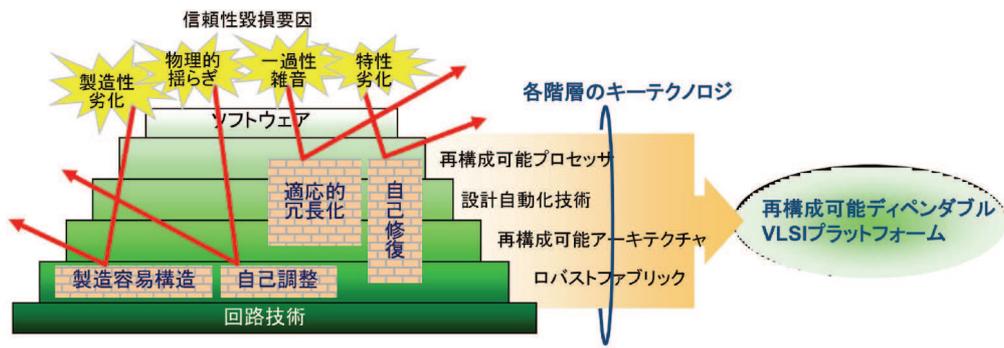


図2: ディペンダブル VLSI プラットフォーム開発

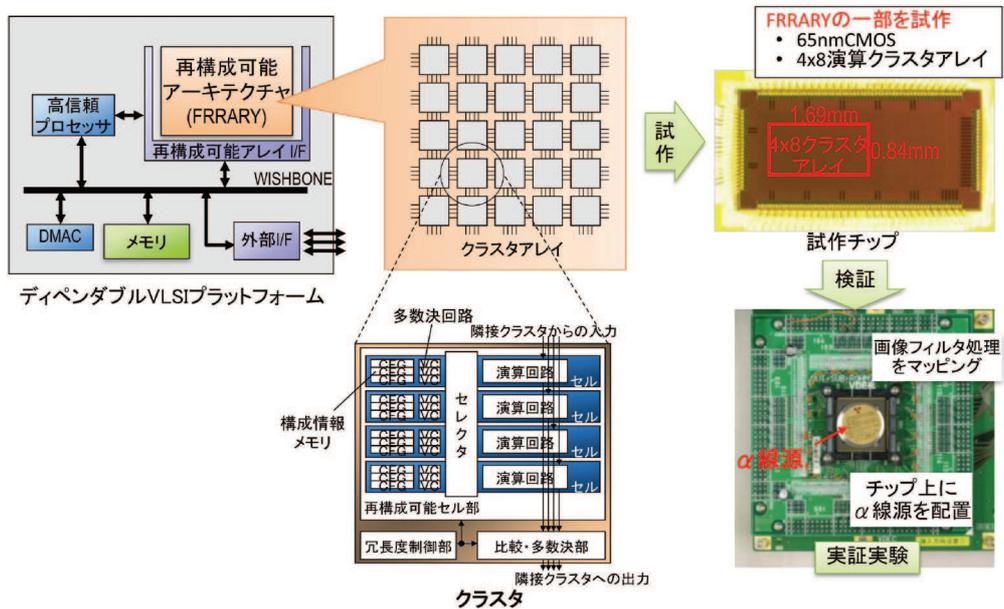


図3: 信頼性可変再構成可能アーキテクチャ FRRARY

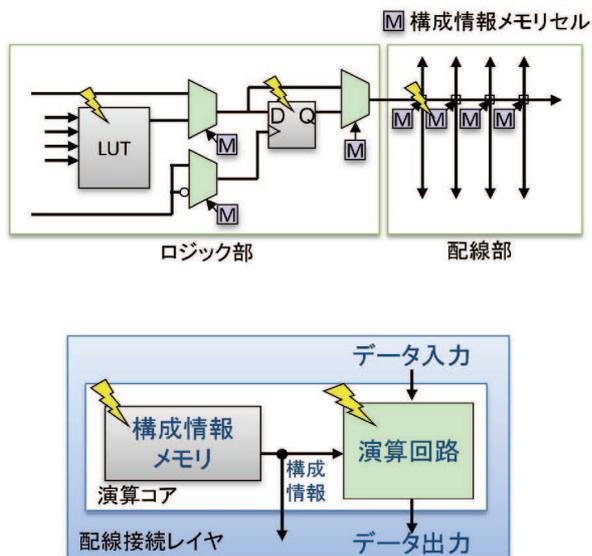


図4: 再構成可能アーキテクチャのソフトウェアエラー

まざまな部分でソフトウェアエラーが発生し得る。特に、演算内容や配線接続構造を定義する記憶素子にエラーが発生した場合、再起動以外に正常動作に復帰する術はないため、より深刻な影響を受けることとなる。

アーキテクチャレベルでこのソフトウェアエラーを回避する策としては、空間的冗長性や時間的冗長性、誤り訂正符号を用いる手法が考えられる。多数決回路を用いた三重化構造は、信頼性が高い手法であるが面積オーバーヘッドが大きい。

FRRARYの構成要素であるクラスタには、3コンテキスト分の構成情報メモリと1つの演算回路からなるセルが4つ、演算回路出力の比較/多数決回路、冗長構成制御回路が搭載されている。従来のアーキテクチャと異なり、クラスタ内で演算回路だけでな

く構成情報メモリも冗長化しており、回路構成をも含めた高い信頼性を得ることができる。

回路の経年劣化を引き起こす要因の中で、特に影響が大きいといわれているのがNBTIであり、これはPMOSの閾値電圧が劣化することで動作遅延が増加する現象である。NBTIは、PMOSがON状態(ストレス状態)で劣化が進行し、OFF状態(リカバリ状態)で劣化が緩和するため、図5に示すように、ストレス状態とリカバリ状態を繰り返しながら次第に特性が劣化していく。閾値電圧の変化量は、ストレス確率 α によって大きく異なるため、回路の動作中でもストレス確率を下げることであれば、経年劣化の抑制が可能となる。

ところでFRRARYでは、冗長構成によっては使用しないセルが発生する。このセルは、使用セルが故障した時にスペアとして動的機能交換により故障を回避するために用いている。さらに、故障が発生していない時でも、定期的に動的機能交換を行うことにより、演算器を交互に休ませる(リカバリ状態にする)ことができ、結果としてNBTIによる性能劣化も抑制できる。

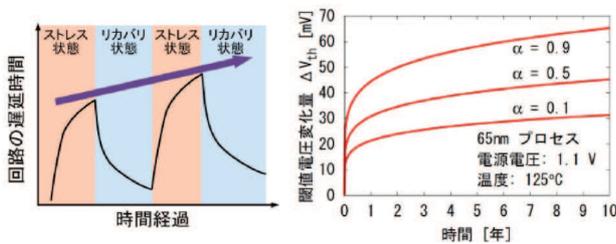


図5: NBTI特性と閾値電圧劣化の進行

本アーキテクチャでは、基本構成要素であるクラスタ毎にこの信頼度レベルを設定できるため、例えば、制御部は高信頼構成、入出力部は中信頼構成、演算部は高集積構成などと組み合わせて実装できるため、アプリケーションが要求する信頼性を必要最小限のコストで実現可能であると考えられる。

我々は65nmテクノロジーで試作したVLSIに α 線を照射した実証実験を行い、提案する高信頼アーキテクチャの有効性を示すとともに、信頼性と面積コストのトレードオフについても評価した[2]。

自己修復機能の実現

本デバイスの究極の目標は、ユーザに劣化や故障

を認知することなく、長期間にわたって継続的に回路を利用可能とすることである。このためには、故障を予測し、回路を停止することなく動的にスペア回路と交換する機能を実現する必要がある。

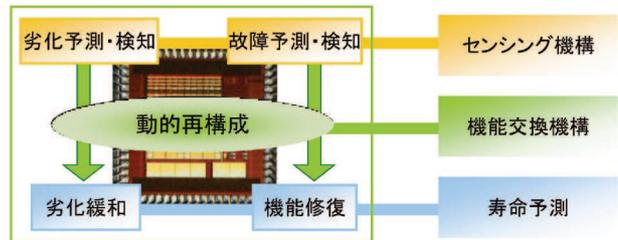


図6: 自己修復技術

我々は、図6に示すように、回路の劣化や故障を検知するセンシング機能[3]、ホットスワップと呼ばれる動的機能交換機構[4]、回路の寿命予測についても研究を進めている。

おわりに

本稿では、効率よくVLSIデバイスの信頼性を向上させることを目的として筆者らが取り組んでいるプロジェクトについて紹介した。近い将来、このような“頼れる”デバイスを用いた機器・システムを皆様の手元に届けられるよう精力的に研究を進めていきたい。

謝辞

図表を始め本稿の執筆にあたりさまざまな資料を提供頂いた高知工科大学密山幸男講師に深く感謝する。

参考文献

- [1] D. Alnajjar, Y. Ko, T. Imagawa, H. Konoura, M. Hiromoto, Y. Mitsuyama, M. Hashimoto, H. Ochi, and T. Onoye, "Coarse-grained dynamically reconfigurable architecture with flexible reliability," in Proc. FPL, pp. 186-192, Sept. 2009.
- [2] T. Imagawa, M. Hiromoto, H. Ochi, and T. Sato, "Reliability evaluation environment for exploring design space of coarse-grained reconfigurable architectures," IEICE Trans. Fundamentals, vol. E93-A, no. 12, pp. 2524-2542, Dec. 2010.
- [3] T. Kameda, H. Konoura, D. Alnajjar, Y.

Mitsuyama, M. Hashimoto, and T. Onoye, “a predictive delay fault avoidance scheme for coarse-grained reconfigurable architecture,” in Proc. FPL, TP10, Sept. 2012.

[4] H. Konoura, Y. Mitsuyama, M. Hashimoto, and T.

Onoye, “Implications of reliability enhancement achieved by fault avoidance on dynamically reconfigurable architecture,” in Proc. FPL, pp. 189-194, Sept. 2011.

