

3DLSI 実現に向けた超微細実装技術



技術解説

岩田 剛治*

Development for super fine mounting technology to realize 3D LSI

Key Words : 3DLSI, Jissou, TSV, Next generation semiconductor

1. 緒言

これまで、何度も半導体の微細化限界が叫ばれ、2次元平面への集積の限界が議論され、そのたびに壁を乗り越えてきた。しかし、ついに微細化による低コスト化が止まり、微細化による経済的メリットがなくなり、微細化だけでは消費電力の増大を止められなくなってきている。そのため、微細化をブレイクスルーする技術としてチップをスタックする3DLSI技術の開発が長年行われてきている。実際Intelは3次元のCPUを試作し、3次元化による高性能化、低消費電力化ができることを確認している。そこで、現在広く実用化されてきている（イメージャー、グラフィック用メモリ、NANDフラッシュメモリ）の現状と、実用化に向けての最終像であるロジックデバイスへの適用を目指した課題を3D実装にフォーカスしてまとめてみたい。

2. 実用化されてきているデバイス

現状、3DLSIの実用化が達成及び実用化が見えてきたデバイスとして、2種類のアプリケーションがある。実用化されているデバイスがFig. 1に示すイメージャーであり、実用化間近なのが、Fig. 2に示すスタックメモリ、Fig. 3に示すフラッシュメモリである。

イメージャーに関しては3DLSI化により、小型・

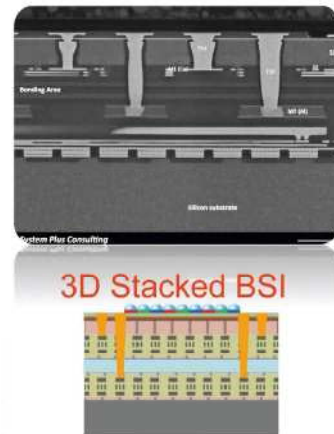


Fig.1 Image of 3D Imager¹⁾

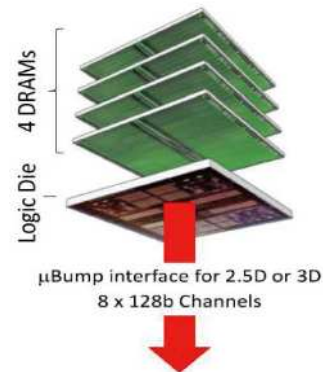


Fig.2 Image of 3D Stacked Memory²⁾

高性能なものが達成され、市場を拡大している。イメージャーは3DLSI化により、CMOS (Complementary Metal Oxide Semiconductor) のセンサーチップから制御・処理用の回路が下層のチップに移動することにより、センサーチップの小型化、もしくはチップの中のセンサー部の面積の最大化が図られている。この技術で先を行くソニーは世界的にも50%以上の大きなシェアを獲得（2018年度金額ベース）し世界をけん引している。

* Yoshiharu IWATA

1967年2月生まれ
 大阪大学大学院 工学研究科 溶接工学
 専攻博士課程 (1994年)
 現在、大阪大学大学院 工学研究科
 マテリアル生産科学専攻 准教授
 博士(工学)
 TEL : 06-6879-4191
 E-mail : iwata@mapse.eng.osaka-u.ac.jp



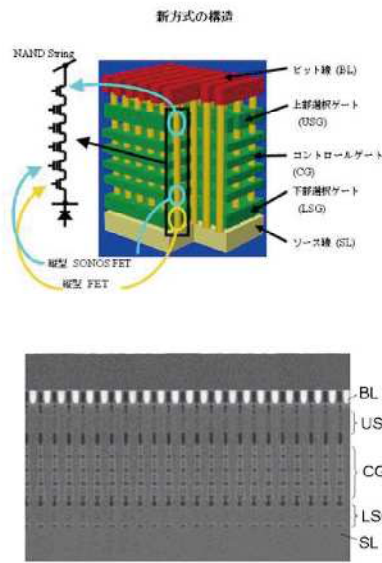


Fig.3 新方式の構造

また、高精細なコンピュータグラフィックや最近注目を浴びているディープラーニングに用いられるGPU (Graphic Processing Unit) において、処理速度を律速しているメモリとの通信帯域の細さを解消するため、グラフィックメモリーにおいてスタックメモリが採用され始めている。

また、2次元のチップの傾斜スタックをワイヤーボンディングにより接続して容量を増大してきたフラッシュメモリも3DLSIとは違うアプローチですが、3次元的にメモリセルを構築して、3次元デバイスとしてさらなる容量の増大を達成している。

3. 3DLSI 実用化に向けての実装技術への課題

3DLSIの目指す大きな価値を持つデバイスとして3次元ロジックデバイスがあげられる。そこで問題となるのが、接合端子の微細化である。これまで、実用化されているデバイスではそこまで多くなかつ

た端子数がロジックチップを分割することにより、レンツルールに従って爆発的に増大する。また、これまではなかったSiチップに貫通電極 (TSV) を形成することによる問題も起こってくる。

(1) Keep Out Zone

現状3DLSIの実現のために、TSVとして、Cuの埋め込み技術が注目されている。しかし、デバイス駆動時の温度上昇によりCuとSiの線膨張係数の差によりCuが膨張することによる圧縮応力がTSV周辺のSiに発生する。この応力はSiを破壊するほどの力はないが、半導体上に形成されているゲート動作特性を致命的に変化させることが知られており、TSVの面積の4以上の面積においてゲートが形成できないKeep Out Zone (KOZ) が存在することになる。Fig.4にCu TSVの形成する応力場とゲートの特性に影響を与えるといわれている等応力線 (相当応力) を示す解析結果を示す。

このKOZの存在により3DLSIに期待される超多ピン接合を実現しようとするチップの面積が増大し、チップの歩留まりの低下、取り数の減少による価格の増大を招くため、TSVのサイズを如何に小さくするかが大きな課題となっている。このため、チップスタックにおける接合のTSVや端子サイズの微細化への要求が高く、Table 1に示すようにチップのグローバル配線レベルでのチップスタックでは近い将来で10 μ m以下の端子ピッチが求められており、非常に微細な量の接合材での接合になり、液相が十分残る従来のバンプ接合とは一線を画した接合プロセスが必要となる。また、熱圧着ではさらに半分のピッチが要求されている。又、一方Cu以外の埋め込み材料も検討

Table 1 ITRS Roadmap for TSV stacking. (Global Interconnect level) ³⁾

Global Level	2013–2014	2015–2018
Minimum TSV diameter	4–10 μ m	2–3.5 μ m
Minimum TSV pitch	8–20 μ m	4–7 μ m
Minimum TSV depth	40–100 μ m	30–50 μ m
Maximum TSV aspect ratio	5:1–12:1	12:1–20:1
Bonding overlay accuracy	1.0–1.5 μ m	0.5–1.0 μ m
Minimum contact pitch (thermoccompression)	10 μ m	5 μ m
Minimum contact pitch (solder μ bump)	20 μ m	10 μ m
Number of die per stack	2–5	2–8

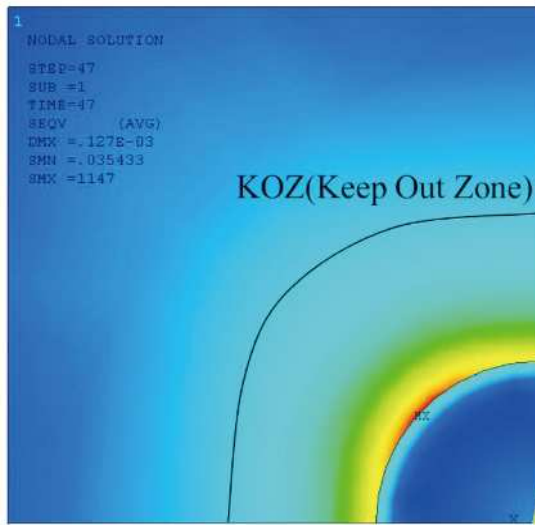


Fig.4 Keep Out Zone of Cu TSV. 4)

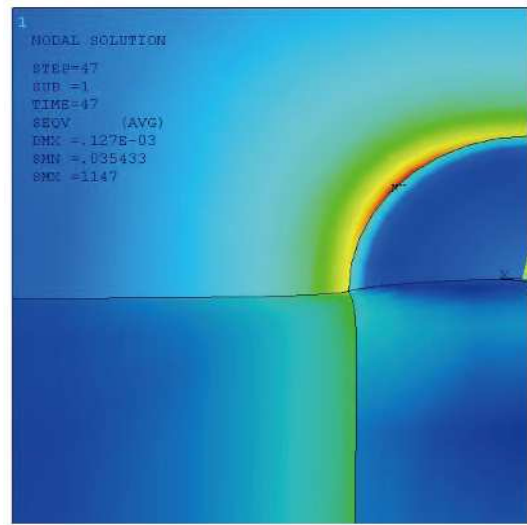


Fig.5 Popup of Cu TSV. 4)

されているが、抵抗が大きくパワーインテグリティの劣化、信号遅延・消費電力の増大等、多様な問題を抱えている。

(2) TSV 膨張による配線破壊

CuとSiの線膨張係数の違いによる影響としてもう一つ、CuのTSVのポップアップがある。これはTSVのCuの膨張によりSiチップ表面でCuが膨張して飛び出すことである。Fig.5（変位を30倍に拡大）に示すようにTSVが膨張し、表面からぼっこりと飛び出しているのがわかる。これにより、TSVの回路形成面側でTSVと接合している多層配線に力がかかり、ポーラスで非常にもろいlow-k材の絶縁膜を破壊する事も起こりうる。このため、こちらの面からもTSV径の微細化も求められており、端子の微細化が必須となっている。

(3) Wafer to Wafer (W2W) ボンディング

3DLSIの実現に向けての大きな課題はそのコストにある。実際DRAMメモリとして、WideI/O規格がDDR4に負けたのは、この点である。コストの削減に向けていわれているのが、W2Wボンディングである。Fig.6に示すように300mmφのSiウェハ同士を一気に接合し、その後ダイシングにより個片化する接合をいっぺんに大量の接合点を接合する必要があるが、チップの取り数が多い現在のプロセスにおいては劇的なコストダウ

ンを可能にする。一方、不良品のチップが含まれていても接合してしまうため、製品歩留まりの低下が懸念されているが、昨今の前工程の歩留まりの向上は著しく最先端プロセス以外はほぼ不良品が出ないところまで洗練されているといわれており、最先端プロセスでも不良品の出る場所には一定の傾向があり、積層しても良品を不良品がだめにする確率はそこまで上昇しないことも分かってきており、コスト削減が期待されている。

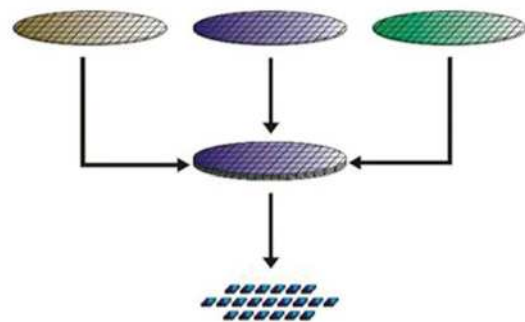


Fig.6 Wafer to Wafer Process.

(4) 3D実装プロセス

チップスタックを実際行う接合方法で検討されている主な方法をTable 2に示す。この図に示すように世界的にはW2Wの構造が主流なのがわかる。また、Table 1に示したITRSのロードマップと見比べると液相拡散接合を用いるプロセスはまだまだ端子ピッチが広く適合が難しく構想接合の熱圧着による固相接合方式の方が適して

Table 2 Major 3D Jisso Process

Items	液相拡散接合(狭ピッチ困難)			固相拡散接合		塑性変形接合
接合材料	Au-In	Au-Sn	Cu-Sn	Cu-Cu	Cu-Cu	Au-Au
機関	IBM, Samsung, ZyCube, Tohoku Univ.	NECEL, IBM, Oki, Elpida	KAIST, Fraunhofer	IMEC	Ziptronix, Leti, Tokyo Univ.	Renesas
構造	W2W	C2W, W2W	W2W	W2W	W2W	C2W
接合ピッチ (um)	5-200	50	20-150	≤10	≤10	50
接合温度 (°C)	180	180	270-300	350(高温)	R.T.	R.T.
加圧力 (MPa)	0.28	20-40	10	40(高加圧)	-(超高真空)	173(高加圧)

Table 3 ITRS Roadmap for TSV stacking. (Intermediate Interconnect level) ³⁾

Intermediate Level	2013–2014	2015–2018
Minimum TSV diameter	1–2 μm	0.5–2 μm
Minimum TSV pitch	2–4 μm	1–4 μm
Minimum TSV depth	5–40 μm	5–20 μm
Maximum TSV aspect ratio	5:1–20:1	5:1–20:1
Bonding overlay accuracy	1.0–1.5 μm	0.5–1.0 μm
Minimum contact pitch	2–3 μm	2–3 μm
Number of die per stack	2–5	8–16 (DRAM)

いるように考えられる。

しかし、固相接合系では、高温・高加圧もしくは高真空雰囲気が必要な接合プロセスとなっている。高温高加圧を加えるとチップに存在する脆弱な構造 low-k 絶縁層の破壊等の可能性がある。また、高真空雰囲気を用いると生産コストの上昇とスループットの低下は否めず、実用化に向けての大きな課題コストに大きく影響を及ぼす。そこで、現在は低温、低加圧、短時間で雰囲気コストのかからない、低コストな実装プロセスが要求されているが、まだ、決め手になる手法が確定していないのが現状である。一例として、低融点金属を用いた接合材を用いて低温で接合させ、その後端子金属等と化合物化させ、高融点な金属間化合物にして、耐熱性を持たせる接合方法が、材料の組み合わせや構造、プロセスを変えて多様な提案がなされている。ただ、Si ウェハ同士の直接接合に関しては多様な技術が開発されており、端子の接合技術とのセットでの最適解の提案が待たれている。ただし、W2W ボンデ

ィングを行うためには非常多数の端子の接合を非常に高い歩留まりで実施する必要があり、ミクロン以下の位置決め精度を 300mm (450mm?) ウェハで実現する、信頼性の非常に高いプロセスが必要となる。

4. 3D 実装の今後の発展への課題

3D 実装の価値が最大に生かされるのは Table 3 に示すインターミディエイト配線レベルのチップスタックで実現されます。これは、チップの中の回路のレイアウトをもっと基本的な部分から3次元的に配置し直すことによって達成できます。現実には、筆者らは現在の CPU をグローバル配線レベルでチップ分割して2つに分ける程度だと逆に配線長が伸び、性能が劣化することを確認しています。しかし、この表に示すとおり、その要求は端子ピッチで2-3ミクロン以下が要求される超微細接合となり、その接点数もレンツルールに従い急激に増大していきます。

これらの結果も踏まえて、今後の3D 実装は現状達成している端子サイズを遙かに超える微細化が必

須になると考えられるので、これに対応したCu埋め込み、端子接合技術、ウェハ直接接合技術の最適解を、非常に高い信頼性で実現する手段の確立がすぐそこに待っていて、今後、近い将来に大きなブレークスルーが起こると思われれます。

謝 辞

本解説は、日本学術振興会第177委員会での活動により得られた知見が多数含まれております。この場を借りて皆様にお礼申し上げます。

引用文献

- 1) <http://www.i-micronews.com/>
- 2) Bryan Black, “Die Stacking is Happening”, The 46th Annual IEEE/ACM International Symposium on Microarchitecture, 2013, Keynote
- 3) ITRS2013: Interconnect
- 4) Tsukada, A. et al; “Study on TSV with new filling method and alloy for advanced 3D-SiP”, Electronic Components and Technology Conference (ECTC), p.1981-1986, 2011

